

#3/ Priority  
Hawkins  
5/11/01  
PATENT

Docket No.: 57454-011

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of  
Akira YAMAZAKI, et al.

Serial No.:

Filed: February 12, 2001

Group Art Unit:

Examiner:

For: MULTI-POWER SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

10868 U.S. PTO  
09/780477  
02/12/01

CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Commissioner for Patents  
Washington, DC 20231

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claims the priority

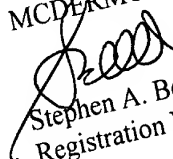
of:

Japanese Patent Application No. 2000-225228,  
Filed July 26, 2000

cited in the Declaration of the present application. A certified copy is submitted herewith

Respectfully submitted,

MCDERMOTT, WILL & EMERY

  
Stephen A. Becker

Registration No. 26,527

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 SAB:ykg  
Date: February 12, 2001  
Facsimile: (202) 756-8087

日本国特許  
PATENT OFFICE  
JAPANESE GOVERNMENT

57454-011  
February 12, 2001  
YAMAZAKI, ET AL.  
McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出願年月日  
Date of Application:

2000年 7月26日

出願番号  
Application Number:

特願2000-225228

出願人  
Applicant(s):

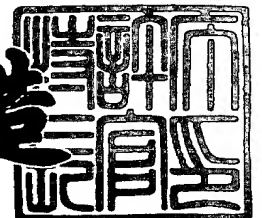
三菱電機株式会社  
三菱電機エンジニアリング株式会社

jc868 U.S. PRO  
09/780477  
02/12/01

2000年 8月25日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2000-3068030

【書類名】 特許願

【整理番号】 525300JP01

【提出日】 平成12年 7月26日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/34  
H03K 19/00

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会  
社内

【氏名】 山崎 彰

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会  
社内

【氏名】 森下 玄

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会  
社内

【氏名】 帶刀 恭彦

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会  
社内

【氏名】 藤井 信行

【発明者】

【住所又は居所】 東京都千代田区大手町二丁目6番2号 三菱電機エンジ  
ニアリング株式会社内

【氏名】 秋山 実邦子

【発明者】

【住所又は居所】 兵庫県伊丹市荻野1丁目132番地 大王電機株式会社  
内

【氏名】 小林 真子

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【特許出願人】

【識別番号】 591036457

【氏名又は名称】 三菱電機エンジニアリング株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100091409

【弁理士】

【氏名又は名称】 伊藤 英彦

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100096792

【弁理士】

【氏名又は名称】 森下 八郎

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置

【特許請求の範囲】

【請求項 1】 第 1 の電源電圧を受けて、前記第 1 の電源電圧の投入を検出し、該検出結果に従って第 1 の電源投入検出信号を活性化するための第 1 の電源投入検出回路、

第 2 の電源電圧を受けて、前記第 2 の電源電圧の投入を検出し、該検出結果に従って第 2 の電源投入検出信号を活性化するための第 2 の電源投入検出回路、および

前記第 1 および第 2 の電源投入検出回路に結合され、前記第 1 および第 2 の電源投入検出信号の少なくとも一方が活性状態の間活性状態となる主電源投入検出信号を発生する主電源投入検出回路を備える、半導体集積回路装置。

【請求項 2】 前記主電源投入検出回路は、

前記第 1 の電源投入検出信号の活性化に応答して第 1 のノードを第 1 の電圧レベルにリセットする第 1 のリセット素子と、

前記第 2 の電源投入検出信号の活性化に応答して、前記第 1 のノードを前記第 1 の電圧レベルにリセットする第 2 のリセット素子と、

前記第 1 のノードに結合され、かつ前記第 1 の電源電圧を動作電源電圧として受けて、前記第 1 および第 2 の電源投入検出信号が共に非活性化すると前記主電源投入信号を非活性化しかつ前記第 1 のノードを第 2 の電圧レベルに設定する回路を備える、請求項 1 記載の半導体集積回路装置。

【請求項 3】 前記第 2 の電源電圧と異なる電圧レベルの電圧を動作電源電圧として受け、前記主電源投入検出信号の電圧レベルを変換して変換電圧投入検出信号を発生する変換電圧投入検出回路をさらに備える、請求項 1 記載の半導体集積回路装置。

【請求項 4】 前記第 1 の電源電圧から前記第 2 の電源電圧と電圧レベルの異なる内部電圧を生成する内部電圧発生回路と、

前記主電源投入検出信号の活性化時リセットされかつ前記主電源投入検出信号の非活性化時活性化され、前記第 2 の電源電圧レベルの振幅を有する信号を前記

内部電圧レベルの振幅を有する信号に変換する内部回路をさらに備える、請求項 1 記載の半導体集積回路装置。

【請求項 5】 前記内部電圧は、前記第 1 の電源電圧よりも電圧レベルの高い昇圧電圧である、請求項 4 記載の半導体集積回路装置。

【請求項 6】 前記内部電圧は、前記第 1 の電源電圧よりも電圧レベルの低い降圧電圧である、請求項 4 記載の半導体集積回路装置。

【請求項 7】 前記内部電圧は、前記第 1 の電源電圧と電圧レベルの等しい電圧である、請求項 4 記載の半導体集積回路装置。

【請求項 8】 前記主電源投入検出信号は、前記第 1 の電源電圧レベルの振幅を有し、前記半導体集積回路装置は、さらに、

前記第 1 の電源電圧から前記第 2 の電源電圧と電圧レベルの異なる内部電圧を生成する内部電圧生成回路、および

前記第 2 の電源電圧レベルの振幅を有する信号から前記内部電圧レベルの振幅を有する内部信号を発生する内部信号発生回路を備え、前記内部信号発生回路は、前記内部電圧を動作電源電圧として受けて前記内部信号を発生するバッファ回路を含み、さらに

前記主電源投入検出信号を前記内部電圧レベルの振幅を有する変換投入検出信号に変換して前記バッファ回路へ与える変換電圧投入検出回路を備え、前記バッファ回路は、前記変換投入検出信号の活性化時リセットされる、請求項 1 記載の半導体集積回路装置。

【請求項 9】 前記内部電圧生成回路は、前記第 1 の電源電圧を昇圧して前記内部電圧を生成する昇圧回路を備える、請求項 8 記載の半導体集積回路装置。

【請求項 10】 前記内部電圧生成回路は、前記第 1 の電源電圧を降圧して内部電源電圧を前記内部電圧として生成する内部降圧回路を備える、請求項 8 記載の半導体集積回路装置。

【請求項 11】 前記内部電圧生成回路は、前記第 1 の電源電圧レベルの電圧を前記内部電圧として伝達する回路を備える、請求項 8 記載の半導体集積回路装置。

【請求項 12】 第 1 の電源電圧を受け、前記第 1 の電源電圧と電圧レベル

の異なる内部電圧を生成する内部電圧生成回路と、

前記内部電圧の電圧レベルに従って内部電圧投入検出信号を活性化する内部電圧投入検出回路、

第 2 の電源電圧の投入を検出し、該検出結果に従って電源投入検出信号を活性化する電源投入検出回路、および

前記内部電圧投入検出信号と前記電源投入検出信号とに従って、前記内部電圧投入検出信号と前記電源投入検出信号の少なくとも一方が活性状態の間活性状態となる主電源投入検出信号を発生する主電源検出回路を備える、半導体集積回路装置。

【請求項 1 3】 前記主電源検出回路からの主電源投入検出信号の活性化時非活性化され、かつ前記主電源投入検出信号の非活性化時活性化され、前記第 1 の電源電圧レベルの振幅の信号から前記内部電圧レベルの振幅の内部信号を発生する内部信号発生回路をさらに備える、請求項 1 2 記載の半導体集積回路装置。

【請求項 1 4】 前記内部信号発生回路は、前記内部電圧を動作電源電圧として受けて、前記内部信号を発生するバッファ回路を含み、前記バッファ回路は前記主電源投入検出信号の活性化時リセットされかつ前記主電源投入検出信号の非活性化時レベル変換された信号をバッファ処理して前記内部信号を生成する、請求項 1 3 記載の半導体集積回路装置。

【請求項 1 5】 前記主電源投入検出信号は、前記内部電圧レベルの振幅を有する信号であり、

前記半導体集積回路装置はさらに、

前記主電源投入検出信号をレベル変換して変換投入検出信号を発生するレベル変換回路、および

前記変換投入検出信号の活性化時非活性化されかつ前記変換投入検出信号の非活性化時活性化され、前記第 2 の電源電圧レベルの振幅の信号をレベル変換して前記変換投入検出信号の振幅と等しい振幅の内部信号を発生する内部信号発生回路を備える、請求項 1 2 記載の半導体集積回路装置。

【請求項 1 6】 前記第 1 の電源電圧から前記内部電圧と電圧レベルの異なる内部電源電圧を生成する内部電源回路をさらに備え、



前記内部信号発生回路は、前記内部電源電圧を動作電源電圧として受けレベル変換された信号をバッファ処理して出力するバッファ回路を有し、前記バッファ回路は前記変換投入検出信号の活性化時その出力がリセットされる、請求項 1 5 記載の半導体集積回路装置。

【請求項 1 7】 前記内部電圧生成回路は、前記第 1 の電源電圧を昇圧する昇圧回路を備える、請求項 1 2 記載の半導体集積回路装置。

【請求項 1 8】 前記内部電圧生成回路は、前記第 1 の電源電圧を降圧して前記第 1 の内部電圧を発生する降圧回路を備える、請求項 1 2 記載の半導体集積回路装置。

【請求項 1 9】 前記第 1 および第 2 の電源電圧は記憶装置に与えられ、かつ前記第 2 の電源電圧は、前記記憶装置と同一半導体チップに集積化されるロジック回路へ与えられる、請求項 1 または 1 2 記載の半導体集積回路装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、多電源の半導体集積回路装置に関し、特にロジック回路とメモリとが同一半導体チップ上に集積化される多電源半導体集積回路装置に関する。より特定的には、ロジックと DRAM（ダイナミック・ランダム・アクセス・メモリ）が同一半導体チップ上に集積化されるシステム L S I の電源構成に関する。

【0 0 0 2】

【従来の技術】

図 1 6 は、従来の汎用 DRAM（ダイナミック・ランダム・アクセス・メモリ）の構成を概略的に示す図である。図 1 6 において、従来の DRAM は、メモリセルが行列状に配列されるメモリセルアレイ MA と、メモリセルアレイ MA の選択行に接続されるメモリセルのデータの検知、増幅およびラッチを行なうセンスアンプ SA と、メモリセルアレイ MA のアドレス指定された行を選択するためのロウデコーダ RD と、DRAM の内部動作を制御する制御回路 CTL と、外部からの電源電圧 VDDH を受けて内部（電源）電圧 VDD S、VPP および VDDP を発生する内部電圧発生回路 IVG を含む。

## 【 0 0 0 3 】

内部電圧  $V_{DD S}$  は、センスアンプ  $S A$  へ動作電源電圧として与えられる。このセンスアンプ用電源電圧（アレイ電源電圧）  $V_{DD S}$  により、メモリセルアレイ  $M A$  におけるメモリセルの記憶データの  $H$  レベルの電圧レベルが決定される。

## 【 0 0 0 4 】

内部電圧  $V_{P P}$  はロウデコーダ  $R D$  を介してメモリセルアレイ  $M A$  の選択行に対応して配置されるワード線に伝達される。この電圧  $V_{P P}$  は、外部からの電源電圧  $V_{D D H}$  を昇圧して生成される。

## 【 0 0 0 5 】

内部電圧  $V_{D D P}$  は制御回路  $C T L$  へ動作電源電圧として与えられる。電源電圧  $V_{D D S}$  および  $V_{D D P}$  は、それぞれ外部電源電圧  $V_{D D H}$  を降圧して生成される。

## 【 0 0 0 6 】

汎用  $D R A M$  は、一般には、外部電源入力として単一の電源電圧  $V_{D D H}$  を受け、内部で必要な電圧レベルの内部電圧を生成して動作する。外部電源電圧  $V_{D D H}$  の電圧レベルは、一般的に、 $D R A M$  が用いられるシステム内に供給される電源電圧という外部的な要因で決定される。また、内部（電源）電圧  $V_{D D S}$ 、 $V_{D D P}$  および  $V_{P P}$  は、内部のトランジスタの微細化に伴うゲート長によりこれらの電圧レベルが決定される。微細化時においてはスケーリング則に沿ってゲート長およびゲート絶縁膜が比例縮小される。したがって、 $M O S$  トランジスタのゲート長により、耐圧が決定され、応じて内部電圧の電圧レベルが決定される。たとえば、外部電源電圧  $V_{D D H}$  が  $3.3 V$ 、昇圧電圧  $V_{P P}$  が  $3.6 V$ 、センスアンプ用電源電圧（アレイ電源電圧）  $V_{D D S}$  が  $2.0 V$ 、および周辺回路の制御回路に対する電源電圧（周辺電源電圧）  $V_{D D P}$  が、 $2.5 V$  である。

## 【 0 0 0 7 】

これに対し、近年、ロジック回路と大記憶容量の  $D R A M$  を同一半導体基板上に集積化するシステム  $L S I$  が普及してきている。このシステム  $L S I$  においては、ロジック回路部の性能を向上しかつ集積度を向上するため、ロジック回路部には、 $D R A M$  部よりも微細化の進んだトランジスタが構成要素として用いられ

る。したがって、ロジック回路部の電源電圧としては、DRAMに対する電源電圧よりもより低い電源電圧が利用される。

【0008】

図17は、このようなシステムLSIの電源構成を概略的に示す図である。図17において、システムLSI SLSは、ロジックLGとDRAMマクロDMを含む。DRAMマクロDMは、図16に示す汎用DRAMと同様、メモリセルアレイMA、ロウデコーダRD、センスアンプSAおよび制御回路CTLを含む。この制御回路CTLは、ロジックLGに用いられるトランジスタと同じサイズ（ゲート絶縁膜膜厚）のMOSトランジスタが用いられる。DRAMマクロDMには、内部電圧発生回路IVGAが設けられる。内部電圧発生回路IVGAは、外部の電源電圧VDDHからセンスアンプ用電源電圧VDDsおよびワード線駆動用の昇圧電圧VPPを生成する。ロジックLGへは、外部から専用の電源電圧VDDLが与えられる。DRAM用の外部電源電圧VDDHを降圧して、ロジック用の電源電圧VDDLを発生した場合、降圧回路における無効電力が大きくなり、消費電力が増大する。したがって、ロジックLGに対する電源電圧VDDLは、外部から与えられる。このロジック用の外部電源電圧VDDLはまた、制御回路CTLに与えられる。制御回路CTLに、ロジックLGと同じトランジスタ（ゲート絶縁膜膜厚および材料が同じトランジスタ）を利用することにより、制御回路CTLを高速で動作させる。

【0009】

したがって、この図17に示すようにこのようなシステムLSI SLSに対しては、DRAM用外部電源電圧VDDHおよびロジック用電源電圧VDDLの2電源が用いられる。

【0010】

【発明が解決しようとする課題】

図16および図17に示すようなロウデコーダRDにおいては、電源電圧VDDPまたはVDDLレベルの振幅の信号に従って昇圧電圧VPPレベルの信号を駆動する必要があり、したがって、その入力信号のレベル変換を行なう必要がある。

## 【0011】

図18は、 $VDDL/VPP$ レベル変換回路の構成の一例を示す図である。図18において、 $VDDL/VPP$ レベル変換回路は、振幅 $VDDL$ レベルの入力信号 $SigL$ を受けるインバータ $IV1$ と、インバータ $IV1$ の出力信号を受けるインバータ $IV2$ と、インバータ $IV1$ の出力信号に従ってノード $ND1$ を接地ノードに結合するNチャネルMOSトランジスタ $NTR1$ と、インバータ $IV2$ の出力信号に従ってノード $ND2$ を接地ノードに結合するNチャネルMOSトランジスタ $NTR2$ と、ノード $ND2$ の信号に従って昇圧電圧ノードをノード $ND1$ に結合するPチャネルMOSトランジスタ $PTR1$ と、ノード $ND1$ の信号に従って昇圧ノードをノード $ND2$ に結合するPチャネルMOSトランジスタ $PTR2$ と、ノード $ND2$ の信号を反転して、昇圧電圧 $VPP$ レベルの振幅を有する出力信号 $SigP$ を生成するインバータ $IV3$ を含む。インバータ $IV1$ および $IV2$ は、電圧 $VDDL$ （または $VDDP$ ）を一方動作電源電圧として受ける。インバータ $IV3$ は昇圧電圧 $VPP$ を、一方動作電源電圧として受ける。

## 【0012】

この図18に示すレベル変換回路においては、入力信号 $SigL$ が電圧 $VDDL$ レベルのHレベルのときには、MOSトランジスタ $NTR1$ がオフ状態、MOSトランジスタ $NTR2$ がオン状態となり、ノード $ND2$ は接地電圧レベル、ノード $ND1$ が昇圧電圧 $VPP$ レベルに駆動される。したがって、出力信号 $SigP$ は、昇圧電圧 $VPP$ レベルのHレベルとなる。

## 【0013】

一方、入力信号 $SigL$ がLレベルのときには、MOSトランジスタ $NTR1$ がオン状態、MOSトランジスタ $NTR2$ がオフ状態となり、ノード $ND1$ が接地電圧レベル、ノード $ND2$ が昇圧電圧 $VPP$ レベルとなる。したがって、出力信号 $SigP$ は、接地電圧レベルのLレベルとなる。

## 【0014】

図16に示す汎用DRAMにおいては、外部単一電源であり、外部電源電圧 $VDDH$ に従って内部電圧 $VDD_S$ 、 $VPP$ および $VDDP$ が生成される。したがって、電源投入時には、昇圧電圧 $VPP$ は、ほとんど遅延なく、外部電源

電圧  $VDDH$  に追従して発生されるため、このレベル変換回路 32 のノードが中間電圧レベルに駆動される期間は、ほとんど生じない。

【0015】

しかしながら、図 17 に示すようなシステム LSI においては、2 電源構成であり、ロジック用の電源電圧  $VDDL$  と DRAM 用の電源電圧  $VDDH$  が利用される。これらの電源電圧  $VDDL$  および  $VDDH$  の電源投入順序、および電圧立上がり時間（確定状態までに要する時間）は仕様では規定されていない。たとえば図 19 に示すように、電源電圧  $VDDH$  が先に投入され、続いて、電源電圧  $VDDL$  が投入される場合を考える。昇圧電圧  $VPP$  は、DRAM 用の電源電圧  $VDDH$  に従って生成される。時刻  $T1$  において電源電圧  $VDDH$  が投入され、続いて、時刻  $T2$  において電源電圧  $VDDL$  が投入される。この場合、時刻  $T2$  以前においては、インバータ  $IV1$  および  $IV2$  の出力信号はともに L レベルとなっているため、MOS トランジスタ  $NTR1$  および  $NTR2$  がともにオフ状態を維持する。この場合、ノード  $ND1$  および  $ND2$  は、MOS トランジスタ  $PTR1$  および  $PTR2$  に従って、接地電圧  $GND$  から昇圧電圧  $VPP$  の間の予め特定することのできない中間電圧レベルに保持される。インバータ  $IV3$  は、昇圧電圧  $VPP$  を一方動作電源電圧として受けている。したがって、ノード  $ND2$  の電圧レベルが中間電圧レベルのときには、インバータ  $IV3$  において昇圧電源ノードから接地ノードへ貫通電流が流れ、電源投入時の消費電流が増大するという問題が生じる。昇圧電圧  $VPP$  は、通常、キャパシタのチャージポンプ動作を利用するチャージポンプ回路から生成される。したがって、昇圧電圧  $VPP$  が貫通電流により消費された場合、昇圧電圧を発生するチャージポンプ回路の消費電流がさらに増大し（チャージポンプの効率は 1 より低い）、消費電力が増大するという問題が生じる。これは、他の電圧  $VDDS$ 、および  $VDDP$  についても同様である。すなわち、振幅  $VDDL$  の信号を振幅  $VDDS$  および  $VDDP$  の信号に変換する回路において貫通電流が生じ消費電流が増加するという問題が生じる。

【0016】

それゆえ、この発明の目的は、多電源構成の半導体集積回路装置における電源投入時の消費電力を小さくすることのできる半導体集積回路装置を提供すること

である。

【0017】

【課題を解決するための手段】

この発明に係る半導体集積回路装置は、第1の電源電圧を受け、この第1の電源電圧の投入を検出し、該検出結果に従って第1の電源投入検出信号を活性化するための第1の電源投入検出回路と、第2の電源電圧を受け、この第2の電源電圧の投入を検出し、該検出結果に従って第2の電源投入検出信号を活性化するための第2の電源投入検出回路と、第1および第2の電源投入検出回路に結合され、第1および第2の電源投入検出信号の少なくとも一方が活性状態の間活性状態となる主電源投入検出信号を発生する主電源投入検出回路を備える。

【0018】

主電源投入検出回路は、好ましくは、第1の電源投入検出信号の活性化にตอบสนองして第1のノードを第1の電圧レベルにリセットする第1のリセット素子と、第2の電源投入検出信号の活性化にตอบสนองして、第1のノードを第1の電圧レベルにリセットする第2のリセット素子と、これら第1および第2のリセット素子に結合され、第1の電源電圧を動作電源電圧として受けて、第1および第2の電源投入検出信号が共に非活性化すると第1のノードを第2の電圧レベルに設定しかつ主電源投入信号を活性化する回路を備える。

【0019】

好ましくは、さらに、第2の電源電圧と異なる電圧レベルの電圧を動作電源電圧として受け、主電源投入検出信号をレベル変換して変換電圧投入検出信号を発生する回路が設けられる。

【0020】

また、さらに好ましくは、第1の電源電圧から第2の電源電圧と電圧レベルの異なる電圧レベルの内部電圧を生成する内部電圧発生回路と、主電源投入検出信号の活性化にตอบสนองしてリセットされかつ主電源投入検出信号の非活性化時活性化され、第2の電源電圧レベルの振幅を有する信号から内部電圧レベルの振幅を有する内部信号を生成する内部電圧発生回路が設けられる。

【0021】

この内部電圧は、第 1 の電源電圧よりも電圧レベルの高い昇圧電圧である。

また、これに代えて好ましくは、内部電圧は、第 1 の電源電圧よりも電圧レベルの低い降圧電圧である。

【 0 0 2 2 】

また、好ましくは、これに代えて、内部電圧は、第 1 の電源電圧と電圧レベルの等しい電圧である。

【 0 0 2 3 】

好ましくは、主電源投入検出信号は、第 1 の電源電圧レベルの振幅を有する。さらに、この場合、第 1 の電源電圧から第 2 の電源電圧と電圧レベルの異なる内部電圧を発生する内部電圧発生回路と、第 2 の電源電圧レベルの信号から内部電圧レベルの振幅の内部信号を発生する内部信号発生回路が設けられる。この内部信号発生回路は、レベル変換された信号をバッファ処理して出力するバッファ回路を含む。好ましくは、さらに、主電源投入検出信号を内部電圧レベルの振幅を有する変換投入検出信号に変換してバッファ回路へ与えるリセット回路が設けられる。バッファ回路は、変換投入検出信号の活性化時リセットされる。

【 0 0 2 4 】

内部電圧発生回路は、好ましくは、第 1 の電源電圧を昇圧して内部電圧を生成する昇圧回路である。

【 0 0 2 5 】

またこれに代えて好ましくは、内部電圧発生回路は、第 2 の電源電圧を降圧して内部電源電圧を内部電圧として生成する内部降圧回路で構成される。

【 0 0 2 6 】

またこれに代えて、好ましくは内部電圧発生回路は、第 1 の電源電圧レベルの電圧を内部電圧として生成する回路である。

【 0 0 2 7 】

別の観点に従う半導体集積回路装置は、第 1 の電源電圧を受け、この第 1 の電源電圧と電圧レベルの異なる内部電圧を生成する内部電圧生成回路と、この内部電圧の電圧レベルに従って内部電圧投入検出信号を活性化する内部電圧投入検出回路と、第 2 の電源電圧の投入を検出し、該検出結果に従って電源投入検出信号

を活性化する電源投入検出回路と、内部電圧投入検出信号と電源投入検出信号とに従って内部電圧投入検出信号と電源投入検出信号の少なくとも一方が活性状態の間活性状態となる主電源投入検出信号を発生する主電源検出回路を含む。

【 0 0 2 8 】

好ましくは、さらに、主電源投入検出信号の活性化時非活性化され、かつ主電源投入検出信号の非活性化時活性化され、第 2 の電源電圧レベルの振幅の信号から内部電圧レベルの振幅の内部信号を発生する内部信号発生回路が設けられる。

【 0 0 2 9 】

好ましくは、内部信号発生回路は、レベル変換された信号をバッファ処理して出力するバッファ回路を含む。このバッファ回路は、主電源投入検出信号の活性化時非活性化（リセット）される。

【 0 0 3 0 】

好ましくは、主電源投入検出信号は、内部電圧レベルの振幅を有する信号である。また好ましくはさらに、主電源投入検出信号をレベル変換して変換投入検出信号を発生するレベル変換回路と、この変換投入検出信号の活性化時非活性化されかつ変換投入検出信号の非活性化時活性化され、第 2 の電源電圧レベルの信号をレベル変換して変換投入信号の振幅と等しい電圧レベルの第 2 の内部信号を発生する内部信号発生回路が設けられる。

【 0 0 3 1 】

好ましくは、内部信号発生回路は、その出力段に内部電源電圧を動作電源電圧として受けて内部信号を発生するためのバッファ回路を有し、このバッファ回路は変換投入検出信号の活性化時その出力がリセットされる。

【 0 0 3 2 】

好ましくは、内部電圧生成回路は、第 1 の電源電圧を昇圧する昇圧回路を備える。

【 0 0 3 3 】

またこれに代えて、好ましくは、内部電圧生成回路は、第 1 の電源電圧を降圧して内部電圧を発生する降圧回路を備える。

【 0 0 3 4 】



これら第 1 および第 2 の電源電圧は記憶装置に与えられ、かつ第 2 の電源電圧は、記憶装置と同一半導体チップに集積化されるロジック回路へ与えられる。

【 0 0 3 5 】

複数の電源構成を有する場合、これら複数の電源投入を個々に検出し、少なくとも一つの電源投入検出信号が活性状態の間主電源投入検出信号を活性状態に維持することにより、複数の電源電圧が安定化するまで、内部回路をリセット状態に保持することができ、内部ノードを所定の状態にリセットでき、貫通電流を抑制することができる。

【 0 0 3 6 】

また、内部電圧の電圧レベルをモニタし、この内部電圧が所定の電圧レベルに到達するまでの期間および外部の電源電圧が不安定な状態の間、主電源投入検出信号を活性状態に維持することにより、内部での必要な電圧が安定化するまでの期間、内部ノードを初期状態に維持することができ、内部ノードが不安定な中間電圧レベルに浮き上がるのを防止することができ、回路誤動作および貫通電流を確実に抑制することができる。

【 0 0 3 7 】

【発明の実施の形態】

〔実施の形態 1〕

図 1 は、この発明の実施の形態 1 に従う半導体集積回路装置の全体の構成を概略的に示す図である。図 1 において、半導体集積回路装置 1 に対し外部からロジック用の電源電圧  $V_{DDL}$  および DRAM 用の電源電圧  $V_{DDH}$  が与えられる。この半導体集積回路装置 1 は、ロジック LG と、データの記憶を行なう DRAM マクロ DM と、電源電圧  $V_{DDL}$  および  $V_{DDH}$  の投入を検出する電源投入検出器 2 を含む。

【 0 0 3 8 】

DRAM マクロ DM は、行列状に配列される複数のメモリセルを有するメモリセルアレイ MA と、メモリセルアレイ MA のアドレス指定された行を選択するためのロウデコーダ RD と、メモリセルアレイ MA の選択メモリセルのデータの検知、増幅およびラッチを行なうセンスアンプ SA と、メモリセルアレイ MA の選

択メモリセルへデータを書込むライトドライバWDと、メモリセルアレイMAのメモリセル選択およびデータの書込／読出等に必要な動作を制御する制御回路CTLと、DRAM電源電圧VDDHからアレイ電源電圧（センスアンプ用電源電圧）VDD Sおよび昇圧電圧VPPを発生する内部電圧発生回路IVGAを含む。

## 【0039】

アレイ電源電圧VDD Sは、センスアンプSAに対し一方動作電源電圧として与えられ、かつライトドライバWDに対しても、一方動作電源電圧として与えられる。昇圧電圧VPPは、一例としてロウデコーダRDへ与えられる。制御回路CTLおよびロジックLGは、ロジック用電源電圧VDDLを動作電源電圧として受ける。

## 【0040】

ロウデコーダRDは、選択ワード線を昇圧電圧VPPレベルに駆動するために、制御回路CTLからのロジック用電源電圧VDDLレベルの信号を受けて、昇圧電圧VPPレベルの信号を生成する。またライトドライバWDは、外部からのロジック電源電圧VDDLレベルの振幅の信号を受け、アレイ電源電圧VDD Sレベルの振幅の内部書込データを生成する。したがってロウデコーダRDおよびライトドライバWDにおいては、いわゆるレベル変換回路が設けられている。

## 【0041】

電源投入検出器2は、ロジック用電源電圧VDDLの電源投入を検出し、このロジック用電源電圧VDDLが不安定状態のときには、電源投入検出信号（パワーオンリセット信号）／PORLを活性状態（Lレベル）に保持する電源投入検出回路10と、DRAM用電源電圧VDDHを受けるように結合され、DRAM用電源電圧VDDHの投入時、電源電圧VDDHが安定化するまで、電源投入検出信号（パワーオンリセット信号）／PORHを活性状態（Lレベル）に保持する電源投入検出回路11と、これらの電源投入検出信号／PORLおよび／PORHを受け、少なくとも一方が活性状態のときには、主電源投入検出信号／POROHを活性状態（Lレベル）に維持する主電源投入検出回路12を含む。この主電源投入検出回路12からの主電源投入検出信号／POROHが、DRAMマク

ロDMにおけるロウデコーダRDおよびライトドライバWD等へ与えられる。すなわち、この主電源投入検出信号／POROHは、レベル変換機能を有する回路部分へ与えられる。

#### 【0042】

図2は、これらの電源投入検出信号を受ける回路の構成を概略的に示す図である。図2において、DRAMマクロDMは、電源投入検出信号／PORLの活性化時非活性状態に維持されるVDDL使用回路13aと、電源投入検出信号／PORHの活性化時非活性状態に維持されるVDDH使用回路13bと、主電源投入検出信号／POROHの活性化時初期状態にリセットされる2電圧使用回路13cを含む。VDDL使用回路13aは、例えば、制御回路CTLに含まれる周辺制御回路であり、ロジック用電源電圧VDDLを使用する回路であり、レベル変換機能は有していない。VDDH使用回路13bは、アレイ電源電圧VDDより高いDRAM用電源電圧VDDHを使用する回路であり、例えばビット線イコライズ制御信号発生回路である。または、VDDH使用回路13bは、DRAM電源電圧VDDHを供給する電源系またはDRAM電源電圧VDDHから内部電圧を生成する電源系に対する制御信号を発生する回路である。2電圧使用回路13cは、2つの異なる電圧レベルの電圧を使用する回路であり、レベル変換機能を有し、図1に示すロウデコーダRDおよびライトドライバWDに相当する。この2電圧使用回路13cとして、さらに、後に詳細に説明するが、ワード線ドライバ、階層ワード線構成におけるメインワード線ドライバおよびサブデコード信号発生部、およびシェアドセンスアンプ構成におけるビット線分離指示信号発生部などの昇圧信号を発生する回路および周辺電源電圧(ロジック電源電圧VDDL)の振幅の信号をアレイ電源電圧VDDレベルの振幅の信号に変換する例えば列選択信号を発生するコラムデコーダ回路を含む。

#### 【0043】

この主電源投入検出回路12は、電源投入検出信号／PORLおよび／PORHの少なくとも一方が活性状態のときには、主電源投入検出信号／POROHを活性状態に維持する。すなわち、電源電圧VDDLおよびVDDHがともに安定化するまで、電源投入検出信号／POROHは、活性状態を維持する。したがっ

て、異なる電圧を使用するレベル変換回路等において、確実にこれらの電源電圧  $VDDL$  および  $VDDH$  が安定状態となるまで、その内部ノードが初期状態にリセットされ、中間電圧レベルに内部ノードの電圧レベルが浮き上がるの防止でき、応じて貫通電流が生じるのを防止でき、また回路誤動作が発生するのを防止することができる。

## 【 0 0 4 4 】

この電源投入検出回路 1 0 からの電源投入検出信号 /  $PORL$  の振幅は、ロジック電源電圧  $VDDL$  レベルであり、一方、電源投入検出回路 1 1 からの電源投入検出信号 /  $PORH$  の振幅は、DRAM 用電源電圧  $VDDH$  レベルである。主電源投入検出回路 1 2 からの主電源投入検出信号 /  $POROH$  の振幅は、DRAM 用電源電圧  $VDDH$  レベルである。これは、振幅  $VDDL$  の信号を振幅  $VPP$  などの内部電圧レベルの振幅の信号に変換するためである。

## 【 0 0 4 5 】

電源投入検出回路 1 0 および 1 1 は、通常の電源投入検出回路の構成により実現され、キャパシタと抵抗素子により対象電源電圧レベルを容量結合またはキャパシタの充電電圧により検出し、インバータ回路によりキャパシタと抵抗素子との接続ノードの電圧レベルを検出して、電源投入検出信号 /  $PORL$  および /  $PORH$  を生成する。

## 【 0 0 4 6 】

図 3 は、図 1 に示す主電源投入検出回路 1 2 の構成の一例を示す図である。図 3 において、主電源投入検出回路 1 2 は、電源電圧  $VDDH$  を動作電源電圧として受け、電源投入検出信号 /  $PORH$  を反転するインバータ 1 2 a と、ロジック用電源電圧  $VDDL$  を動作電源電圧として受け、電源投入検出信号 /  $PORL$  を反転するインバータ 1 2 b と、インバータ 1 2 a の出力信号が H レベルのとき導通しノード 1 2 m を接地ノードに結合する N チャネル MOS トランジスタ 1 2 d と、インバータ 1 2 c の出力信号が H レベルのときに導通しノード 1 2 m を接地ノードに結合する N チャネル MOS トランジスタ 1 2 c と、ノード 1 2 m の信号 / 電圧を反転してノード 1 2 n に伝達するインバータ 1 2 e と、ノード 1 2 n の信号を反転してノード 1 2 m に伝達するインバータ 1 2 f を含む。インバータ 1

2 e および 1 2 f は、電源電圧 VDDH を動作電源電圧として受け、インバータラッチを構成する。

【0047】

主電源投入検出回路 1 2 は、さらに、電源電圧 VDDH を動作電源電圧として受け、ノード 1 2 n 上の信号を反転して主電源投入検出信号 / PORH を生成するインバータ 1 2 k と、電源電圧 VDDH を動作電源電圧として受け、インバータ 1 2 a の出力信号を反転するインバータ 1 2 g と、電源電圧 VDDL を動作電源電圧として受け、インバータ 1 2 b の出力信号を反転するインバータ 1 2 h と、ノード 1 2 n と接地ノードの間に直列に接続される N チャンネル MOS トランジスタ 1 2 i および 1 2 j を含む。MOS トランジスタ 1 2 i はインバータ 1 2 g の出力信号をゲートに受け、MOS トランジスタ 1 2 j はインバータ 1 2 h の出力信号をゲートに受ける。次に、この図 3 に示す主電源投入検出回路 1 2 の動作を、図 4 および図 5 に示す信号波形図を参照して説明する。

【0048】

まず、図 4 を参照して電源電圧 VDDH が先に投入された時の動作について説明する。電源電圧 VDDH が時刻 T a において投入され、その電圧レベルが上昇する。電源投入検出信号 / PORH は、この電源電圧 VDDH の投入に従ってその電圧レベルが上昇するものの、すぐに L レベルに固定される。電源電圧 VDDH が安定化すると、時刻 T b において、電源投入検出信号 / PORH が H レベルに立上がる。電源投入検出信号 / PORH が L レベルの期間、インバータ 1 2 a からは、電源電圧 VDDH レベルの H レベルの信号が出力され、MOS トランジスタ 1 2 d がオン状態となり、ノード 1 2 m が接地電圧レベルに初期設定(リセット)される。電源電圧 VDDH の投入に従ってインバータ 1 2 e および 1 2 f が動作し、ノード 1 2 m の L レベルの信号をラッチし、応じてノード 1 2 n が H レベルとなる。このとき、電源電圧 VDDL はまだ投入されていないため、インバータ 1 2 h の出力信号は L レベルであり、MOS トランジスタ 1 2 j はオフ状態であり、ノード 1 2 n は電源電圧 VDDH の H レベルに保持される。

【0049】

時刻 T c において、電源電圧 VDDL が投入されると、電源投入検出信号 / P

ORLが一旦、電源電圧VDDLに従ってそのレベルが上昇した後、Lレベルに固定され、応じてインバータ12bの出力信号が電源電圧VDDLレベルのHレベルとなり、MOSトランジスタ12cがオン状態となる。再びノード12mが確実に接地ノードに結合されて接地電圧レベルに保持される。

【0050】

時刻Tdにおいて、電源電圧VDDLが安定化すると、電源投入検出信号/PORLがHレベルとなり、応じてインバータ12hからの信号も電源電圧VDDLレベルのHレベルとなる。応じて、MOSトランジスタ12iおよび12jがともにオン状態となり、ノード12nが接地電圧レベルに放電され、応じてインバータ12kからの主電源投入検出信号/POROHがHレベルとなる。したがって、電源電圧VDDLおよびVDDHはともに安定状態となったときに、主電源投入検出信号/POROHがHレベルの非活性状態となる。

【0051】

次に、図5を参照して、電源電圧VDDLが先に投入された場合の動作について説明する。時刻Teにおいて電源電圧VDDLが投入され、電源投入検出信号/PORLがLレベルに固定される。そのとき、インバータ12bの出力信号が電源電圧VDDLレベルのHレベルとなり、応じてMOSトランジスタ12cがオン状態となり、ノード12mが接地電圧レベルに固定される。電源電圧VDDHが投入されていないために、インバータ12eおよび12fの出力信号がともにLレベルである。この状態においては、ノード12nの電圧レベルは、不定状態であるが、ノード12mがLレベルであり、インバータ12eのPチャネルMOSトランジスタを介して電源電圧VDDHを供給する電源ノードに結合され、最悪でもこのインバータ12eのPチャネルMOSトランジスタのしきい値電圧の絶対値の電圧レベルに固定される。この場合でも、電源電圧VDDHは未だ供給されていないので、出力段のインバータ12kにおいては何ら貫通電流は流れず、何ら問題は生じない。ノード12nも安定にLレベルに固定される(MOSトランジスタのしきい値電圧はここでは無視している)。インバータ12hの出力信号はまた、この電源投入検出信号/PORLがLレベルであるため、Lレベルの信号を出力する。主電源投入検出信号/POROHは、インバータ12kに

対する電源電圧VDDHが投入されていないため、Lレベルを維持する。したがって、ノード12nの電圧レベルが浮き上がっていても何ら電源投入検出信号/POROHの電圧レベルには影響を及ぼさない。

【0052】

時刻Tfにおいて、電源投入検出信号/PORLがHレベルとなり、応じてインバータ12hの出力信号がHレベル（電源電圧VDDLレベル）となり、MOSトランジスタ12jがオン状態となり、一方、MOSトランジスタ12cは、インバータ12bの出力信号がLレベルとなり、オフ状態となる。電源電圧VDDHはまだ投入されていないため、ノード12mは、接地ノードから切離される。ノード12mおよび12nは、インバータ12eおよび12fにより、電源電圧VDDHを供給する電源電圧ノードに結合されており、Lレベルを維持する。この状態であっても、電源電圧VDDHはまだ投入されていないため、電源投入検出信号/POROHはLレベルを維持する。

【0053】

時刻Tgにおいて、電源電圧VDDHが投入され、その電圧レベルが上昇する。電源投入検出信号/PORHは、Lレベルであり、MOSトランジスタ12dがオン状態となり、ノード12mが接地電圧レベルに駆動され、インバータ12eおよび12fにより、ノード12nが、Hレベルに駆動されてラッチされる。インバータ12kは、ノード12nがHレベル（電源電圧VDDHレベル）に充電されるため、主電源投入検出信号/POROHをLレベルに保持する。

【0054】

時刻Thにおいて、電源投入検出信号/PORHがHレベルに立上がると、MOSトランジスタ12jがオン状態、かつMOSトランジスタ12iがオン状態となる。MOSトランジスタ12iおよび12jが、したがってともにオン状態となり、ノード12nが接地電圧レベルに放電され、インバータ12kからの主電源投入検出信号/POROHがHレベルとなる。

【0055】

ここで、インバータ12eの電流駆動能力は、MOSトランジスタ12iおよび12jの電流駆動能力よりも十分小さくされる。

## 【 0 0 5 6 】

したがって、この電源電圧  $V_{DDL}$  が先に投入される場合においても、電源電圧  $V_{DDL}$  および  $V_{DDH}$  がともに安定状態となったときに、主電源投入検出信号 /  $POROH$  が  $H$  レベルに駆動される。

## 【 0 0 5 7 】

図 6 は、レベル変換回路の構成の一例を示す図である。図 6 において、レベル変換回路は、電源電圧  $V_{DDL}$  レベルの振幅を有する入力信号  $SigL$  と主電源投入検出信号 /  $POROH$  を受ける  $NAND$  回路  $NA1$  と、ノード  $NDa$  と接地ノードの間に結合され、かつそのゲートに  $NAND$  回路  $NA1$  の出力信号を受ける  $N$  チャンネル  $MOS$  トランジスタ  $NQ1$  と、主電源投入検出信号 /  $POROH$  を受けるインバータ  $IVa$  と、 $NAND$  回路  $NA1$  の出力信号を受けるインバータ  $IVb$  と、ノード  $NDb$  と接地ノードの間に結合されかつそのゲートにインバータ  $IVb$  の出力信号を受ける  $N$  チャンネル  $MOS$  トランジスタ  $NQ2$  と、ノード  $NDa$  と接地ノードの間に結合されかつそのゲートにインバータ  $IVa$  の出力信号を受ける  $N$  チャンネル  $MOS$  トランジスタ  $NQ3$  と、昇圧電圧  $V_{PP}$  を受ける昇圧電源ノードとノード  $NDa$  の間に結合されかつそのゲートがノード  $NDb$  に結合される  $P$  チャンネル  $MOS$  トランジスタ  $PQ1$  と、昇圧電源ノードとノード  $NDb$  の間に結合されかつそのゲートがノード  $NDa$  に結合される  $P$  チャンネル  $MOS$  トランジスタ  $PQ2$  と、昇圧電圧  $V_{PP}$  を動作電源電圧として受けてノード  $NDb$  の信号を反転して昇圧電圧  $V_{PP}$  レベルの振幅を有する出力信号  $SigP$  を生成するインバータ  $IVc$  を含む。

## 【 0 0 5 8 】

インバータ  $IVb$  は、ロジック用電源電圧  $V_{DDL}$  を動作電源電圧として受け、インバータ  $IVa$  は、 $DRAM$  用電源電圧  $V_{DDH}$  を動作電源電圧として受ける。インバータ  $IVb$  は、レベル変換のために用いられ、インバータ  $IVa$  は、電源投入時の内部ノードリセットのために用いられる。次に、この図 6 に示すレベル変換回路の動作について簡単に説明する。

## 【 0 0 5 9 】

主電源投入検出信号 /  $POROH$  が  $L$  レベルのとき、電源電圧  $V_{DDH}$  が投入



されかつ電源電圧VDDLが投入されていないときには、インバータIVaの出力信号が電源電圧VDDHに従ってHレベルとなり、MOSトランジスタNQ3がオン状態となり、ノードNDaが接地電圧レベルにリセットされる。電源電圧VDDLが投入されていないため、NAND回路NA1の出力信号およびインバータIVbの出力信号はともにLレベルである。電源電圧VDDHに従って昇圧電圧VPPが生成されるため、この電源電圧VDDHに従って昇圧電圧VPPの電圧レベルも上昇する。ノードNDaがLレベルであるため（リセットされているため）、MOSトランジスタPQ2がオン状態となり、ノードNDbは昇圧電圧VPPレベルに駆動され、出力信号SigPは、Lレベルを維持する。

## 【0060】

次いで、電源電圧VDDLが投入されると、主電源投入検出信号/POROHがLレベルであれば、NAND回路NA1の出力信号がHレベルとなり、応じてインバータIVbの出力信号がLレベルとなる。ノードNDaは、MOSトランジスタNQ1およびNQ3により接地電圧レベルに駆動されるため、接地電圧レベルのLレベルを維持する。

## 【0061】

電源電圧VDDHおよびVDDLがともに安定化し、主電源投入検出信号/POROHがHレベルとなると、インバータIVaの出力信号がLレベルとなる。このときには、NAND回路NA1およびインバータIVbの出力信号は、入力信号SigLの論理レベルに従って変化する。入力信号SigLがLレベルであれば、NAND回路NA1の出力信号はHレベルであり、出力信号SigPは、Lレベルを維持する。一方、入力信号SigLがHレベルとなれば、NAND回路NA1の出力信号がLレベルとなり、インバータIVbの出力信号がHレベルとなり、ノードNDbがMOSトランジスタNQ2により接地電圧レベルに放電される。応じて、出力信号SigPが昇圧電圧VPPレベルに駆動される。

## 【0062】

電源電圧VDDLが先に投入された場合、主電源投入検出信号/POROHがLレベルであり、ノードNDcが、この電源電圧VDDLに従ってHレベルとなり、ノードNDaが接地電圧レベルに保持される。また、NAND回路NA1の

出力信号がHレベルのとき、インバータI V bの出力信号はLレベルである。この状態においては、電源電圧V D D Hが投入されていないため昇圧電圧V P PがLレベルであり、インバータI V cにおいて貫通電流は流れない。

## 【 0 0 6 3 】

電源電圧V D D Hが投入されると昇圧電圧V P Pの電圧レベルが上昇する。ノードN D aは、Lレベルに固定されており、昇圧電圧V P Pの電圧レベルの上昇時においてインバータI V cには貫通電流は流れない。電源投入検出信号／P O R O HがHレベルとなると、入力信号S i g Lに従って出力信号S i g Pが生成される。

## 【 0 0 6 4 】

したがって、電源電圧V D D Hが投入され、電源電圧V D D Lが投入されない場合、主電源投入検出信号／P O R O HがLレベルであり、応じてM O SトランジスタN Q 3により、ノードN D aがLレベルに固定される。昇圧電圧V P Pが、電源電圧V D D Hより生成されている場合においても、ノードN D bは、昇圧電圧V P Pレベルに保持される。したがって、ノードN D cおよびN D dはともにLレベルであっても、ノードN D aがLレベル、N D bが昇圧電圧V P Pレベルに駆動され、ノードN D bが中間電圧レベルで保持されるのを防止でき、インバータI V cにおける貫通電流を抑制することができる。

## 【 0 0 6 5 】

また、N A N D回路N A 1を利用することにより、内部ノードN D aの電圧レベルの浮き上がりを防止できる。すなわち、電源電圧V D D Lが電源電圧V D D Hよりも先に投入された場合、主電源投入検出信号／P O R O HがLレベルであるため、ノードN D cをHレベルに駆動して、ノードN D aをLレベルに保持することができる。昇圧電圧V P Pは発生されていないため、Lレベルであり、ノードN D aがM O SトランジスタN Q 1によりLレベルに固定された場合、ノードN D bは最悪、M O SトランジスタP Q 2のしきい値電圧の絶対値の電圧レベルに固定される。この状態で、電源電圧V D D Hおよび昇圧電圧V P Pが立上がった場合でも、ノードN D aがLレベルに固定されているため（電源投入検出信号／P O R O HがLレベル）、ノードN D bが昇圧電圧V P Pレベルに駆動され

、応じてインバータ I V c の入力信号(この動作期間中は H レベル)が中間電圧レベルとなるのを防止でき、貫通電流を抑制することができる。

【 0 0 6 6 】

この出力信号 S i g P は、ワード線駆動信号 W L、または階層ワード線構成におけるサブワード線ドライバに与えられるサブデコード信号(サブワード線選択用の信号)、またはビット線分離指示信号 B L I として用いられる。

【 0 0 6 7 】

[レベル変換回路の変更例]

図 7 は、レベル変換回路の変更例を示す図である。この図 7 に示すレベル変換回路は、図 1 に示すライトドライバ W D に含まれるライトドライブ回路であり、振幅 V D D L の入力信号 W D L を、振幅 V D D S の信号(内部書込データ)に変換する。

【 0 0 6 8 】

図 7 において、ライトドライブ回路は、電源電圧 V D D L を動作電源電圧として受け、振幅 V D D L の書込データ W D L と主電源投入検出信号 / P O R O H を受ける N A N D 回路 N A 2 と、電源電圧 V D D H を動作電源電圧として受け、主電源投入検出信号 / P O R O H を反転するインバータ I V d と、電源電圧 V D D L を動作電源電圧として受け、N A N D 回路 N A 2 の出力信号を反転するインバータ I V e と、N A N D 回路 N A 2 の出力信号に従ってノード N D s を接地ノードに選択的に結合する N チャンネル M O S トランジスタ N Q 4 と、インバータ I V e の出力信号に従ってノード N D t を選択的に接地ノードに結合する N チャンネル M O S トランジスタ N Q 5 と、インバータ I V d の出力信号に従ってノード N D s を接地ノードに結合する N チャンネル M O S トランジスタ N Q 6 と、アレイ電源電圧 V D D S を供給するアレイ電源ノードとノード N D s の間に結合され、かつそのゲートがノード N D t に結合される P チャンネル M O S トランジスタ P Q 3 と、アレイ電源ノードとノード N D t の間に結合されかつそのゲートがノード N D s に接続される P チャンネル M O S トランジスタ P Q 4 と、アレイ電源電圧 V D D S を動作電源電圧として受け、ノード N D t 上の信号を反転して内部書込データ W D S を生成するインバータ I V f と、アレイ電源電圧 V D D S を動作電源電圧

として受け、ノードNDsの信号を反転して補の内部書込データ/WDSを生成するインバータIVgを含む。

#### 【0069】

この図7に示すライトドライブ回路は、内部書込データWDSおよび/WDSを2値駆動しており、出力ハインピーダンス状態とはならない。すなわち、この図7に示すライトドライブ回路は、リードデータ線とライトデータ線とが別々に設けられ、かつライトデータ線のプリチャージが行なわれない構成に対して適用される。

#### 【0070】

この図7に示すライトドライブ回路（レベル変換回路）においては、図6に示すレベル変換回路の構成と同様、電源電圧VDDLおよびVDDHの投入順序に関わらず、主電源投入検出信号/POROHがLレベルの期間、NAND回路NA2の出力信号をHレベルまたはインバータIVdの出力信号をHレベルとして、ノードNDsを接地電圧レベルに固定する。電源電圧VDDHが電源電圧VDDLよりも先に投入された場合には、このDRAM用の電源電圧VDDHに従ってアレイ電源電圧VDDSが生成される。したがってノードNDsがLレベルに初期設定された場合、MOSトランジスタPQ4によりノードNDtがアレイ電源電圧VDDSレベルにプリチャージされる。したがってノードNDsおよびNDtが、電源電圧と接地電圧の間の中間電圧レベルにその電圧レベルが浮き上がるのを防止することができ、インバータIVfおよびIVgにおける貫通電流を防止できる。このとき、内部書き込みデータWDSおよび/WDSは、電源電圧VDDSにしたがってそれぞれLおよびHレベルとなる。

#### 【0071】

電源電圧VDDLが電源電圧VDDHよりも先に投入された場合には、電源電圧VDDLにしたがって、NAND回路NA2の出力信号がHレベルとなり、MOSトランジスタNQ4により、ノードNDsが接地電圧レベルに駆動される。電源電圧VDDHが投入されていないときにはまだアレイ電源電圧VDDSもLレベルである。したがってインバータIVfおよびIVgにおいても、その動作電源電圧は供給されていないため、貫通電流は生じない。電源電圧VDDHが投

入され、アレイ電源電圧  $V_{DD S}$  もその電圧レベルが上昇すると、ノード  $N D s$  は、接地電圧レベルに固定されているため、ノード  $N D t$  の電圧レベルも、アレイ電源電圧  $V_{DD S}$  の電圧レベルの上昇に従って上昇する。したがって、このノード  $N D t$  の電圧レベルは、インバータ  $I V f$  に対して、常に論理 H レベルであり、この電源電圧  $V_{DD H}$  投入時においても、インバータ  $I V f$  および  $I V g$  において、貫通電流は生じない。

【0072】

主電源投入検出信号  $/POROH$  が H レベルの非活性状態となると、インバータ  $I V e$  の出力信号は L レベルとなり、また NAND 回路  $NA 2$  は、内部書込データ  $WDL$  の電圧レベルに応じて出力信号を生成する。したがって、内部書き込みデータ  $WDS$  および  $/WDS$  の電圧レベルも内部書き込みデータ  $WDL$  にしたがって決定される。

【0073】

図 8 は、この発明の実施の形態 1 に従う半導体記憶装置の要部の構成を概略的に示す図である。メモリセル  $MC$  の各行に対応してサブワード線  $SWL$  が配設され、メモリセル  $MC$  の各列に対応してビット線  $BL$  および  $/BL$  が配設される。図 8 において、1 つのサブワード線  $SWL$  および 1 対のビット線を代表的に示す。メモリセル  $MC$  が、サブワード線  $SWL$  とビット線  $BL$  の交差部に対応して配置される。ビット線  $BL$  および  $/BL$  はビット線分離ゲート  $BIG$  を介してセンスアンプ回路  $S/A$  に結合される。センスアンプ回路  $S/A$  は、列選択ゲート  $CSG$  を介して内部書込データ線対  $IWDL$  に結合される。この列選択ゲート  $CSG$  に与えられる列選択信号  $CSL$  は、電源電圧  $V_{DD L}$  の振幅を有するように示す。しかしながら、この列選択信号  $CSL$  は、アレイ電源電圧  $V_{DD H}$  の振幅を有してもよい。この列選択信号  $CSL$  がアレイ電源電圧  $V_{DD H}$  の振幅を有する場合には、この列選択信号  $CSL$  を発生する部分にレベル変換回路が設けられる。

【0074】

内部書込データ線  $IWDL$  には、ライトドライブ回路  $WDR$  が結合される。このライトドライブ回路  $WDR$  は、図 7 に示す構成を有し、アレイ電源電圧  $V_{DD}$

Sを動作電源電圧として受けて書込データWDLから相補内部書込データWDSおよび/WDSを生成する。

【0075】

サブワード線SWLに対し、サブワード線ドライブ回路SWDが設けられる。このサブワード線ドライブ回路SWDは、メインワード線MWL上のメインワード線駆動信号ZMWLとサブデコード信号伝達線SDL上のサブデコード信号SDに従ってサブワード線SWLを選択状態（昇圧電圧VPPレベル）に駆動する。補のサブデコード信号/S Dも用いられるが、これは示していない。

【0076】

メインワード線MWLは、同一行に配列される複数のサブワード線SWLに共通に設けられる。このメインワード線MWLは、メインワード線ドライブ回路20により駆動される。このメインワード線ドライブ回路20は、ロウデコーダRDに含まれ、高電圧VPPを動作電源電圧として受け、ロウデコード回路からのワード線選択信号MXT（振幅VDDLレベル）の信号に従って振幅VPPのメインワード線駆動信号ZMWLを生成する。このメインワード線ドライブ回路20は、先の図6に示す構成を含む。または、このメインワード線ドライブ回路20が図6に示す回路からの振幅VPPの信号にしたがって、対応のメインワード線MWLを駆動してもよい。この場合、図6の構成は、ロウデコード回路とメインワード線駆動回路の間に設けられる。

【0077】

サブデコード信号伝達線SDLは、サブデコーダ21に結合される。このサブデコーダ21は、プリデコード信号XDをプリデコードし、高電圧VPPレベルのサブデコード信号SDを生成する。サブデコード信号SDは振幅VPPを有し、選択サブワード線上にサブワード線ドライブ回路SWDを介して伝達される。

【0078】

ビット線BLおよび/BLには、スタンバイ状態時ビット線BLおよび/BLを中間電圧（ $=VDD S / 2$ ）の電圧レベルにプリチャージするビット線プリチャージ/イコライズ回路BPEが設けられる。このビット線プリチャージ/イコライズ回路BPEは、ビット線プリチャージ/イコライズ制御回路22からのビ

ット線イコライズ指示信号BLEQにより、そのプリチャージ／イコライズ動作が制御される。このビット線プリチャージ／イコライズ制御回路22は、DRAM用の電源電圧VDDHを受ける。内部の行系制御回路からの行選択動作活性化信号RACT（振幅VDDLレベル）に従って、振幅VDDHのビット線イコライズ指示信号BLEQを生成する。

## 【0079】

ビット線分離ゲートBIGは、その導通／非導通が、ビット線分離制御回路23からのビット線分離指示信号BLIにより制御される。このビット線分離制御回路23は、行選択動作活性化信号RACT（振幅VDDL）の信号に従って振幅VPPレベルのビット線分離指示信号BLIを生成する。

## 【0080】

センスアンプ回路S/Aは、センスアンプ制御回路24からのセンスアンプ活性化信号SOPおよびSONに従って図示しないセンス電源線およびセンス接地線に結合されてセンス動作を行なう。このセンスアンプ制御回路24は、センスアンプイネーブル信号SAE（振幅VDDL）に従って振幅VDD Sのセンスアンプ活性化信号SOPおよびSONを生成する。

## 【0081】

なお、ビット線プリチャージ／イコライズ制御回路22、ビット線分離制御回路23、センスアンプ制御回路24、メインワード線ドライブ回路20およびサブデコーダ21が、図6に示すレベル変換回路と同様の構成を有し、その出力信号の振幅に応じて、高電圧VPPまたはDARM用電源電圧VDDHまたはアレイ電源電圧VDD Sを受ける。これらのメインワード線ドライブ回路20、サブデコーダ21、ビット線プリチャージ／イコライズ制御回路22、ビット線分離制御回路23およびセンスアンプ制御回路24に、主電源投入検出信号／POROHが与えられる。ライトドライブ回路WDRに対しても、主電源投入検出信号／POROHが与えられる。

## 【0082】

なお、センスアンプ回路S/Aは、隣接ビット線対により共有されており、シェアードセンスアンプ構成である。この場合、メモリアレイはブロック分割され

ており、図 8 に示す各制御信号発生部に対してはブロック選択信号が与えられる。このブロック選択信号は、振幅  $V_{DDL}$  レベルであり、各制御信号またはデコード信号とブロック選択信号との合成信号が、各回路 20 - 24 へ与えられる。

【0083】

メインワード線  $MWL$  は、メモリセル行に対応してメモリセルアレイにおいて数多く設けられており、応じてメインワード線ドライブ回路 20 も、数多く設けられる。したがって、電源投入時の出力段のバッファの貫通電流を抑制することにより、電源投入時の消費電流を低減することができる。

【0084】

また、混載  $DRAM$  においては、列選択信号  $CSL$  は、行方向に延在して配設され、ライトデータ線対  $I_{WDL}$  は、メモリアレイ上にわたって行方向に延在して配設される。この場合、たとえば 128 ビットの書込データ線対  $I_{WDL}$  が配設される。したがって、ライトドライブ回路  $WDR$  の電源投入時の消費電流を低減することにより、電源投入時のライトドライバ全体の消費電流を低減することができる。

【0085】

なお、ビット線プリチャージ／イコライズ制御回路 22 の具体的構成を示していない。しかしながら、図 6 に示すレベル変換回路の構成において、高電圧  $V_{PP}$  に代えて、 $DRAM$  用の電源電圧  $V_{DDH}$  が用いられれば、ビット線プリチャージ／イコライズ制御回路 22 を構成するレベル変換回路を実現することができる。

【0086】

以上のように、この発明の実施の形態 1 に従えば、複数電源構成において各電源に対し電源投入検出回路を設け、少なくとも 1 つの電源投入検出信号が活性状態の間、レベル変換回路に対する電源投入検出信号を活性状態として内部ノードをリセットしており、電源投入順序にかかわらず、レベル変換回路における貫通電流を防止することができ、電源投入時の消費電流を低減することができる。

【0087】

[実施の形態 2]



図 9 は、この発明の実施の形態 2 に従う半導体集積回路装置の要部の構成を概略的に示す図である。図 9 においては、振幅 VDDL の信号 S i g L を、高電圧 VPP レベルの振幅の信号 S i g P に変換する回路を示す。この図 9 においては、信号 S i g 1 L を振幅 VPP の信号 S i g 1 P に変換する内部ドライブ回路 2 6 a と、振幅 VDDL の信号 S i g 2 L を振幅 VPP の信号 S i g 2 P に変換する内部ドライブ回路 2 6 b を代表的に示す。これらの内部ドライブ回路 2 6 a および 2 6 b は、図 8 に示す構成において、高電圧 VPP を動作電源電圧として使用するメインワード線ドライブ回路 2 0、サブデコーダ 2 1、ビット線分離制御回路 2 3 に相当する。

## 【 0 0 8 8 】

内部ドライブ回路 2 6 a および 2 6 b の各々は、入力信号 S i g L ( S i g 1 L, S i g 2 L ) を高電圧 VPP レベルの信号に変換するレベル変換回路 2 7 と、このレベル変換回路 2 7 の出力信号をバッファ処理して振幅 VPP レベルの信号 S i g P ( S i g 1 P, S i g 2 P ) を生成するバッファ回路 2 8 を含む。バッファ回路 2 8 は、NAND 回路 2 8 a と、この NAND 回路 2 8 a の出力信号を受けて信号 S i g P を生成するインバータとを含む。

## 【 0 0 8 9 】

これらのドライブ回路 2 6 a、2 6 b … に共通に、変換電圧投入検出回路 2 5 が設けられる。この変換電圧投入検出回路 2 5 は、図 1 に示す主電源投入検出回路 1 2 からの主電源投入検出信号 / P O R O H を振幅 VPP レベルの変換電圧投入検出信号 / P O R O P に変換する。変換電圧投入検出信号 / P O R O P が、内部ドライブ回路 2 6 a、2 6 b … 各々のバッファ回路 2 8 の初段の NAND 回路 2 8 a に与えられる。

## 【 0 0 9 0 】

変換電圧投入検出回路 2 5 は、ノード N D e と接地ノードの間に結合され、主電源投入検出信号 / P O R O H をゲートに受ける N チャネル MOS トランジスタ N Q 7 と、主電源投入検出信号 / P O R O H を受けるインバータ I V h と、インバータ I V h の出力信号に従ってノード N D f を接地ノードに結合する N チャネル MOS トランジスタ N Q 8 と、昇圧電圧供給ノードとノード N D e の間に結合

され、かつそのゲートがノードNDfに結合されるPチャネルMOSトランジスタPQ5と、昇圧電圧供給ノードとノードNDfの間に結合されかつそのゲートがノードNDeに結合されるPチャネルMOSトランジスタPQ6と、ノードNDfの出力信号を反転して変換電圧投入検出信号/POROPを生成するインバータIViを含む。インバータIVhはDRAM用電源電圧VDDHを動作電源電圧として受け、インバータIViは昇圧電圧VPPを動作電源電圧として受ける。

## 【0091】

内部ドライブ回路26aおよび26bにおいてレベル変換回路27は、すべて同一構成を有し、図9においては、内部ドライブ回路26aに含まれるレベル変換回路27の構成要素に対して参照番号を付す。レベル変換回路27は、入力信号Sig1Lに従ってノードNDgを接地ノードに結合するNチャネルMOSトランジスタ27aと、入力信号SigLを受けるインバータ27cと、インバータ27cの出力信号に従ってノードNDhを接地ノードに結合するNチャネルMOSトランジスタ27bを含む。ノードNDgからバッファ回路28に対する信号が取出される。インバータ27cは、ロジック用電源電圧VDDLを動作電源電圧として受ける。

## 【0092】

このレベル変換回路27は、さらに、昇圧電圧供給ノードとノードNDgの間に接続されかつそのゲートがノードNDhに接続されるPチャネルMOSトランジスタ12dと、昇圧電圧供給ノードとノードNDhの間に接続されかつそのゲートがノードNDeに接続されるPチャネルMOSトランジスタ12eを含む。このレベル変換回路27においては、内部ノードNDgおよびNDhの電圧レベルを電源投入時初期設定（リセット）するためのNAND回路は設けられていない。次に、この図9に示す構成の動作を図10に示す信号波形図を参照して説明する。

## 【0093】

時刻T10においてDRAM用の電源電圧VDDHが投入され、その電圧レベルが上昇する。このDRAM用の電源電圧VDDHの投入に従って昇圧電圧VP

Pの電圧レベルが上昇する。電源電圧VDDHがある電圧レベルを超えると、この昇圧電圧VPPが高速で上昇する（昇圧回路がチャージポンプ動作を完全に行なうため）。

【0094】

電源電圧VDDHおよび昇圧電圧VPPが安定化しても、ロジック用の電源電圧VDDLはまだ投入されていないため、主電源投入検出信号/POROHはLレベルの活性状態を維持する。したがって、変換電圧投入検出回路25においては、MOSトランジスタNQ7がオン状態であり、ノードNDfが、昇圧電圧VPPレベルに駆動され、インバータIViの出力する変換電圧投入検出信号/POROPは、Lレベルを維持する。

【0095】

時刻T11においてロジック用の電源電圧VDDLが投入され、その電圧レベルが上昇する。時刻T12においてこのロジック用の電源電圧VDDLが安定化すると、主電源投入検出信号POROHがHレベルとなり、応じて、変換電圧投入検出信号/POROPもHレベル（昇圧電圧VPPレベル）となる。

【0096】

時刻P12以前においては、変換電圧投入検出信号/POROPはLレベルであるため、内部ドライブ回路26a、26b…においてはバッファ回路28からの信号SigPはすべてLレベルを維持する。時刻T11以前において、内部ドライブ回路26a、26bのレベル変換回路27において、入力信号SigL（Sig1L, Sig2L）がLレベルであり、またインバータ27cの出力信号もLレベルであり、ノードNDgおよびNDhが中間電圧レベルに上昇することが考えられる。しかしながら、バッファ回路28においては、この変換電圧投入検出信号/POROPにより、初段のNAND回路の出力信号はHレベルであり、レベル変換回路27のノードNDgが中間電圧レベルとなっても、貫通電流が流れるのが防止される。レベル変換回路27においては、MOSトランジスタ27aおよび27bはオフ状態であり、貫通電流は流れない。これにより、電源投入時の消費電流を低減することができる。

【0097】

ロジック用の電源電圧VDDLが投入された後に、DRAM用の電源電圧VDHが投入された場合、内部ドライブ回路26a、26b…において、レベル変換回路27の入力信号SigL (Sig1L, Sig2L) の電圧レベルがロジック電源電圧VDDLに対する電源投入検出信号/PORLに従って初期設定され、MOSトランジスタ27aおよび72bの一方がオン状態、他方がオフ状態となる。しかしながら、この場合DRAM用の電源電圧VDHが投入されていないため、昇圧電圧VPPは、Lレベルを維持しており、この状態においてバッファ回路28において貫通電流は流れない。DRAM用の電源電圧VDHが投入され、昇圧電圧VPPの電圧レベルが上昇すると、内部ドライブ回路26a、26b…のレベル変換回路27においてノードNDeおよびNDhの一方がLレベル、他方が昇圧電圧VPPレベルに駆動される。この過渡状態時においても、変換電圧投入検出信号/POROPはLレベルを維持しており、バッファ回路28において貫通電流は流れない。レベル変換回路27においても、ノードNDeおよびNDhの一方が昇圧電圧VPPの電圧レベルに従ってその電圧レベルが上昇する。したがって、このレベル変換回路27においても、貫通電流が流れる経路は存在せず、電源投入時の消費電流は低減される。

【0098】

この図9に示す構成においては、内部ドライブ回路26a、26b…のレベル変換回路27においては、内部ノードNDeおよびNDhの電圧レベルをリセット（初期設定）するためのNAND回路、インバータ回路およびノードNDgをDRAM電源電圧VDH投入時リセットするためのインバータおよびMOSトランジスタが不要となり、レベル変換回路の占有面積を低減することができる。

【0099】

〔変更例1〕

図11は、この発明の実施の形態2の変更例1の構成を示す図である。この図11においては、内部ドライブ回路32a、32bは、ロジック用の電源電圧VDDLレベルの振幅の入力信号SigL (Sig1L, Sig2L) を、アレイ電源電圧VDDSレベルの振幅の信号SigS (Sig1s, Sig2S) に変換する。これらの内部ドライブ回路32aおよび32bの各々は、電源電圧VD

D Lレベルの振幅を有する入力信号  $SigL$  ( $Sig1L$ ,  $Sig2L$ ) を、アレイ電源電圧  $VDD_S$  の振幅を有する信号に変換するレベル変換回路 33 と、レベル変換回路 33 の出力信号をバッファ処理して出力信号  $SigS$  ( $Sig1s$ ,  $Sig2S$ ) を生成するバッファ回路 34 を含む。バッファ回路 34 は、初段に NAND 回路 34a を含む。

#### 【0100】

これらの内部ドライブ回路 32a、32b…に共通に、振幅  $VDDH$  の主電源投入検出信号 / POROH のレベル変換を行なって振幅  $VDD_S$  の変換電圧投入検出信号 / POROS を生成する変換電圧投入検出回路 30 が設けられる。この変換電圧投入検出信号 / POROS は、内部ドライブ回路 32a、32b…のバッファ回路 34 の初段の NAND 回路 34a に与えられる。変換電圧投入検出回路 30 は、2 段の縦続接続されるインバータ 30a および 30b を含み、これらのインバータ 30a および 30b へは、アレイ電源電圧  $VDD_S$  が動作電源電圧として与えられる。アレイ電源電圧  $VDD_S$  は、DRAM 用の電源電圧  $VDDH$  よりもその電圧レベルは低いため、アレイ電源電圧  $VDD_S$  を動作電源電圧として受けるインバータ 30a および 30b により、振幅  $VDDH$  の主電源投入検出信号 / POROH のレベル変換を行なって変換電圧投入検出信号 / POROS を生成することができる。

#### 【0101】

この図 11 に示す構成においても、アレイ電源電圧  $VDD_S$  は、DRAM 用電源電圧  $VDDH$  を降圧して生成される。したがって、DRAM 用の電源電圧  $VDDH$  が投入された後に、ロジック用の電源電圧  $VDDL$  が投入されても、変換電圧投入検出信号 / POROS が L レベルの間、バッファ回路 34 において NAND 回路 34a は、対応のレベル変換回路 33 の内部ノードの電圧が中間電圧レベルに浮上がっても、貫通電流を生じさせることなく、H レベルの信号を出力する。

#### 【0102】

主電源投入検出信号 / POROH が H レベルとなると、変換電圧投入検出信号 / POROS も H レベルとなり、内部ドライブ回路 32a、32b…が、入力信

号  $SigL$  ( $Sig1L$ ,  $Sig2L$ ) に従って出力信号  $SigS$  ( $Sig1S$ ,  $Sig2S$ ) を生成する。

【0103】

この図11に示すように、振幅  $VDDL$  の信号を振幅  $VDDS$  の信号に変換する回路においても、振幅  $VDDS$  の変換電圧投入検出信号 /  $POROS$  を利用することにより、電源電圧投入シーケンスにかかわらず、この電源投入時の消費電流を低減することができ、また、内部ドライブ回路 32 (32a、32b) のレベル変換回路 33 の占有面積を低減することができる。

【0104】

[変更例2]

図12は、この発明の実施の形態2の変更例2の構成を概略的に示す図である。図12において、内部ドライブ回路 36a、36b…は、ロジック用の電源電圧  $VDDL$  の振幅を有する入力信号  $SigL$  ( $Sig1L$ ,  $Sig2L$ ) を  $DRAM$  用の電源電圧  $VDDH$  の振幅の信号  $SigH$  ( $Sig1H$ ,  $Sig2H$ ) に変換する。これらの内部ドライブ回路 36a、36b…の各々は、振幅  $VDDL$  の入力信号  $SigL$  を、振幅  $VDDH$  の信号に変換するレベル変換回路 38と、レベル変換回路 38の出力信号と主電源投入検出信号 /  $POROH$  とに従って振幅  $VDDH$  の出力信号  $SigH$  を生成するバッファ回路 39を含む。バッファ回路 39は、入力初段の  $NAND$  回路と、この  $NAND$  回路の出力信号を受けるインバータとを含む。この初段の  $NAND$  回路 39に主電源投入検出信号 /  $POROH$  が与えられる。

【0105】

主電源投入検出信号 /  $POROH$  は、振幅  $VDDH$  である。したがって、このような、振幅  $VDDL$  の信号を振幅  $VDDH$  の信号に変換する回路においても、振幅  $VDDH$  の主電源投入検出信号 /  $POROH$  をバッファ回路へ入力信号として与えることにより、電源投入シーケンスにかかわらず、電源投入時の消費電流を低減することができる（バッファ段における貫通電流が抑制されるため）。

【0106】

なお、図9、図11および図12に示す構成は組合せて用いられてもよい。す

なわち、図 1 3 に示すように、主電源投入検出回路 1 2 からの振幅  $VDDH$  の主電源投入検出信号 /  $POROH$  から、レベル変換回路 2 5 および 3 0 により、それぞれ、振幅  $VPP$  の変換電圧投入検出信号 /  $POROP$  および振幅  $VDDS$  の変換電圧投入検出信号 /  $POROS$  を生成する。

## 【 0 1 0 7 】

主電源投入検出信号 /  $POROH$  を、図 1 2 に示すように、振幅  $VDDL$  の信号を振幅  $VDDH$  の信号に変換する内部ドライブ回路 ( $VDDL$  /  $VDDH$  変換部) 3 6 に含まれるバッファ回路 3 9 へ与える。レベル変換回路 2 5 からの変換電圧投入検出信号 /  $POROP$  を、図 9 に示すような振幅  $VDDL$  の信号を振幅  $VPP$  の信号に変換する  $VDDL$  /  $VPP$  変換部 (内部ドライブ回路) 2 6 に含まれるバッファ 2 8 へ与える。レベル変換回路 3 0 からの変換電圧投入検出信号 /  $POROS$  を、図 1 1 に示すような、振幅  $VDDL$  の信号を振幅  $VDDS$  の信号に変換する  $VDDL$  /  $VDDS$  変換部 (内部ドライブ回路) 3 2 のバッファ回路 3 4 へ与える。

## 【 0 1 0 8 】

電源電圧  $VDDH$  および  $VDDL$  の投入シーケンスにかかわらず、振幅  $VDDL$  の信号を、DRAM 用電源電圧  $VDDH$  およびこの DRAM 用電源電圧  $VDDH$  から生成される内部電圧の振幅の信号に変換するレベル変換回路における貫通電流を確実に防止することができる。

## 【 0 1 0 9 】

以上のように、この発明の実施の形態 2 に従えば、レベル変換を行なう回路において、このレベル変換後の信号の振幅と同じ振幅を有する電源投入検出信号を生成して、レベル変換後の信号をバッファ処理する回路へ入力信号として与えることにより、確実に、電源投入シーケンスにかかわらず電源投入時の貫通電流を抑制し、応じて消費電流を低減することができる。また、レベル変換回路においては、電源投入時の内部ノードの電圧レベルをリセット (初期設定) するための構成要素が不要となり、その占有面積が低減される。

## 【 0 1 1 0 】

## 〔実施の形態 3〕

図 1 4 は、この発明の実施の形態 3 に従う電源投入検出信号発生部の構成を概略的に示す図である。図 1 4 において、電源投入検出信号発生部は、ロジック用の電源電圧  $VDDL$  の投入を検出する電源投入検出回路 4 0 と、DRAM 用電源電圧  $VDDH$  から昇圧電圧  $VPP$  を生成する昇圧回路 4 2 と、昇圧回路 4 2 からの昇圧電圧  $VPP$  の電圧レベルに従って高電圧投入検出信号 /  $PORP$  を生成する高電圧投入検出回路 4 4 と、電源投入検出信号 /  $PORL$  および高電圧投入検出信号 /  $PORP$  がともに非活性状態となると非活性化される主電源投入検出信号 /  $POROP$  を生成する主電源投入検出回路 4 6 とを含む。主電源投入検出回路 4 6 からの主電源投入検出信号 /  $POROP$  は、振幅  $VPP$  を有する。この主電源投入検出回路 4 6 の構成は、先の図 3 に示す主電源投入検出回路 1 2 の構成において、DRAM 用電源電圧  $VDDH$  に代えて昇圧電圧  $VPP$  が用いられる。また、検出信号 /  $PORH$  に代えて、信号 /  $PORP$  が用いられる。振幅  $VDDH$  の主電源投入検出信号 /  $POROH$  に代えて、昇圧電圧  $VPP$  レベルの振幅を有する主電源検出信号 /  $POROP$  を生成することができる。

#### 【0111】

この電源投入検出信号発生部は、さらに、主電源投入検出信号 /  $POROP$  をアレイ電源電圧  $VDDS$  レベルの振幅を有する変換電圧検出信号 /  $POROS$  に変換するレベル変換回路 5 0 と、DRAM 用電源電圧  $VDDH$  の振幅を有する信号 /  $PORH$  にこの主電源投入検出信号 /  $POROP$  を変換するレベル変換回路 5 2 を含む。主電源投入検出信号 /  $POROP$  は、振幅  $VDDL$  の信号を振幅  $VPP$  の信号に変換する  $VDDL/VPP$  変換部 2 6 (図 9 参照) のバッファ回路 2 8 へ与えられる。

#### 【0112】

レベル変換回路 5 0 からの変換電圧投入検出信号 /  $POROS$  は、振幅  $VDDL$  の信号を振幅  $VDDS$  の信号に変換する  $VDDL/VDDS$  変換部 3 2 (図 1 1 参照) のバッファ回路 3 4 へ与えられる。レベル変換回路 5 2 からの変換電圧投入検出信号 /  $POROH$  は、振幅  $VDDL$  の信号を振幅  $VDDH$  の信号に変換する  $VDDL/VDDH$  変換部 3 6 (図 1 2 参照) のバッファ回路 3 9 へ与えられる。



## 【 0 1 1 3 】

この図 1 4 に示す構成においても、昇圧電圧  $V_{PP}$  は、DRAM 用電源電圧  $V_{DDH}$  から生成されており、昇圧電圧  $V_{PP}$  が安定化した場合、DRAM 用の電源電圧  $V_{DDH}$  も安定化している。したがって、この主電源投入検出回路 4 6 からの主電源投入検出信号  $/POROP$  は、ロジック用の電源電圧  $V_{DDL}$  が投入されて安定化され、また DRAM 用電源電圧  $V_{DDH}$  が投入されて安定化し、また応じて、昇圧電圧  $V_{PP}$  が安定化すると非活性状態となる。したがって、内部電圧(電源電圧)が安定化するまで、内部のレベル変換回路をリセット状態に保持することができ、電源投入時の貫通電流を抑制することができる。

## 【 0 1 1 4 】

電源投入検出信号  $/PORL$  は、電源電圧  $V_{DDL}$  を使用する(レベル変換を行なわない)回路の内部ノードを初期設定(リセット)するために利用される。また、高電圧投入検出信号  $/PORP$  は、この昇圧電圧(高電圧)を消費する(電圧レベル変換を行なわない)回路の内部ノードをリセットするために利用される。

## 【 0 1 1 5 】

## [変更例]

図 1 5 は、この発明の実施の形態 3 の変更例の構成を概略的に示す図である。図 1 5 において、電源投入検出信号発生部は、DRAM 用電源電圧  $V_{DDH}$  を降圧してアレイ電源電圧  $V_{DDS}$  を生成する降圧回路(内部電源回路) 6 0 と、この降圧回路 6 0 からのアレイ電源電圧  $V_{DDS}$  が安定状態になるのを検出する内部電源投入検出回路 6 2 と、ロジック用電源電圧  $V_{DDL}$  の投入を検出する電源投入検出回路 4 0 と、電源投入検出回路 4 0 からの電源投入検出信号  $/PORL$  と内部電源投入検出回路 6 2 からの内部電源投入検出信号  $/PORS$  に従って主電源投入検出信号  $/POROS$  を生成する主電源投入検出回路 6 4 を含む。この主電源投入検出回路 6 4 は、図 3 に示す構成と同様の構成を有し、振幅  $V_{DDS}$  の主電源投入検出信号  $/POROS$  を生成する。この主電源投入検出回路 6 4 は、図 3 に示す構成において、電源電圧  $V_{DDH}$  に代えて、アレイ電源電圧  $V_{DDS}$  が用いられる。また、信号  $/PORH$  に代えて信号  $/PORS$  が用いられる。

## 【 0 1 1 6 】

降圧回路 6 0 は、基準電圧とアレイ電源電圧  $V_{DD S}$  の差に応じて電源ノードから出力ノード（アレイ電源線）へ電流を供給する回路で構成され、外部からの DRAM 用電源電圧  $V_{DD H}$  を降圧して、アレイ用電源電圧  $V_{DD S}$  を生成する。

## 【 0 1 1 7 】

電源投入検出信号発生部は、さらに、主電源投入検出回路 6 4 からの振幅  $V_{DD S}$  の主電源投入検出信号 /  $POROS$  を振幅  $V_{PP}$  の変換電圧投入検出信号 /  $PORP$  を生成するレベル変換回路 6 6 と、振幅  $V_{DD S}$  の主電源投入検出信号 /  $PORS$  を振幅  $V_{DD H}$  の電源投入検出信号 /  $POROH$  に変換するレベル変換回路 6 8 を含む。電圧  $V_{DD S}$  は、電圧  $V_{PP}$  および電圧  $V_{DD H}$  よりも低いため、これらのレベル変換回路 6 6 および 6 8 の構成は、先の図 9 に示すレベル変換回路 2 5 の構成と同じである。

## 【 0 1 1 8 】

DRAM 用電源電圧  $V_{DD H}$  に従ってアレイ電源電圧  $V_{DD S}$  が生成される。アレイ電源電圧  $V_{DD S}$  が安定化するときには、DRAM 用電源電圧  $V_{DD H}$  も安定化している。したがって、主電源投入検出回路 6 4 からの主電源投入検出信号 /  $POROS$  を、投入検出信号 /  $PORL$  および /  $PORS$  に従って生成することにより、アレイ電源電圧、および DRAM 用電源電圧  $V_{DD H}$ 、およびロジック用の電源電圧  $V_{DDL}$  が安定した状態を検出することができる。DRAM 用の電源電圧  $V_{DD H}$  が安定した状態では、昇圧電圧  $V_{PP}$  も安定化している。したがって、アレイ電源電圧  $V_{DD S}$  およびロジック用の電源電圧  $V_{DDL}$  の安定タイミングを主電源投入検出信号 /  $POROS$  で検出し、この主電源検出信号 /  $POROS$  に従って、 $V_{DDL} / V_{PP}$  変換部に対する投入検出信号 /  $POROP$  および  $V_{DDL} / V_{DD H}$  変換部に対する投入検出信号 /  $POROH$  を生成することにより、各レベル変換回路において、電源投入時の貫通電流を防止することができ、応じて消費電流を低減することができる。

## 【 0 1 1 9 】

図 1 4 および図 1 5 に示す構成において、主電源投入検出信号としては、内部

で最も遅いタイミングで安定状態となる電圧に対する投入検出信号が用いられればよい。たとえば、昇圧電圧  $V_{PP}$  が、アレイ電源電圧  $V_{DDS}$  よりも遅いタイミングで安定状態となる場合には、昇圧電圧  $V_{PP}$  に対する電源投入検出信号  $POROP$  を、主電源投入検出信号として利用すればよい。昇圧電圧  $V_{PP}$  が、アレイ電源電圧  $V_{DDS}$  よりも早いタイミングで確定状態となる場合には、このアレイ電源電圧  $V_{DDS}$  を用いた主電源投入検出信号  $POROS$  を利用すればよい。これにより、内部の電圧がすべて安定した状態で、内部をリセット状態から開放することができる。

## 【 0 1 2 0 】

## 【他の適用例】

上述の説明において、ロジックと DRAM とが混載されるシステム LSI について説明した。しかしながら、たとえばロジックとフラッシュ EEPROM（電氣的に書込消去可能な不揮発性メモリ）とが同一半導体チップ上に形成され、ロジック電源電圧およびメモリ電源電圧が別系統で与えられる構成において、フラッシュ EEPROM 内において、信号のレベル変換を行なう必要がある場合、本発明は適用可能である。すなわち、複数系統の電源電圧が用いられ、その内部で、複数種類の内部電圧を生成する半導体集積回路装置に本発明は一般に適用可能である。

## 【 0 1 2 1 】

## 【発明の効果】

以上のように、この発明に従えば、複数系統の電源が設けられているとき、すべての電源電圧が安定化するまで内部ノードをリセットするための主電源投入検出信号を活性状態に維持しており、内部ノードの電圧レベルが不安定となり、応じて内部で貫通電流が生じるのを防止することができ、電源投入時の消費電流を低減することができる。

## 【 0 1 2 2 】

すなわち、第 1 および第 2 の電源電圧の投入を検出し、これらの第 1 および第 2 の電源投入検出信号の少なくとも一方が活性状態の間主電源投入検出信号を活性状態としており、この第 1 および第 2 の電源電圧を動作電源電圧として受ける

回路の内部ノードを正確にリセット状態に維持することができ、内部ノードの電圧のレベルの浮き上がりによる貫通電流が生じるのを防止することができ、電源投入時の消費電流を低減することができる。

## 【 0 1 2 3 】

また、主電源投入検出回路を、第 1 および第 2 の電源投入検出信号に応答して第 1 のノードをそれぞれリセットする第 1 および第 2 のリセット素子を設け、この第 1 および第 2 の電源投入検出信号がともに非活性化するとこの第 1 のノードを第 2 の電圧レベルに設定して主電源投入検出信号を非活性化することにより、正確にこれらの第 1 および第 2 の電源電圧の投入シーケンスに関わらず主電源投入検出信号を、これらの第 1 および第 2 の電源電圧が安定化するまで活性状態に維持することができる。

## 【 0 1 2 4 】

また、主電源投入検出回路を、第 1 および第 2 の電源投入検出信号の少なくとも一方が活性状態の間第 1 の電源電圧レベルの振幅を有する主電源投入検出信号を活性化することにより、この第 2 の電源電圧レベルの振幅を有する信号を第 1 の電源電圧レベルの振幅を有する信号に変換する回路を正確に初期状態にリセットして、貫通電流の発生を防止することができる。

## 【 0 1 2 5 】

また、この主電源投入検出信号に従って第 2 の電源電圧の振幅の信号を内部電圧の振幅の信号に変換するレベル変換回路を主電源投入検出信号で初期状態にリセットすることにより、この電源投入時において、このレベル変換回路における電源投入時の貫通電流を防止することができる。

## 【 0 1 2 6 】

また、内部電圧がこの第 2 の電源電圧よりも電圧の高い昇圧電圧の場合、主電源投入検出信号の振幅をこの昇圧電圧レベルとすることにより、正確にこの昇圧電圧レベルの信号を生成する回路における電源投入時の消費電流を抑制することができる。

## 【 0 1 2 7 】

また、内部電圧が第 1 の電源電圧よりも電圧レベルの低い降圧電圧の場合、主

電源投入検出信号の振幅をこの降圧電圧レベルとすることにより、正確にこの降圧電圧レベルの信号を生成する回路の電源投入時の貫通電流を防止することができる。

## 【 0 1 2 8 】

また、第 1 の電源電圧レベルの振幅の主電源投入検出信号を生成して、第 2 の電源電圧レベルの振幅の信号を第 1 の電源電圧レベルの振幅の信号に変換する回路へ与えることにより、容易にこのレベル変換回路における電源投入時の貫通電流を抑制することができる。

## 【 0 1 2 9 】

また、第 1 の電源電圧レベルの振幅の主電源投入検出信号を内部電圧レベルの振幅の信号に変換した後、第 2 の電源電圧レベルに振幅を有する信号を内部電圧レベルの振幅を有する信号に変換する回路のレベル変換された信号をバッファ処理する回路へ与えることにより、確実に、およびレベル変換回路およびバッファ回路における貫通電流が生じるのを防止することができる。またレベル変換回路の構成を簡略化することができ、レイアウト面積を低減することができる。

## 【 0 1 3 0 】

この内部電圧を、第 1 の電源電圧を昇圧する回路で生成することにより、昇圧信号の振幅を有する信号生成部における電源投入時の貫通電流を抑制することができる。

## 【 0 1 3 1 】

また、第 1 の電源電圧を降圧して内部電圧を生成する回路を設けることにより、この降圧信号の振幅を有する回路の電源投入時の貫通電流を抑制することができる。

## 【 0 1 3 2 】

また、第 1 の電源電圧を内部電圧として伝達することにより、第 2 の電源電圧レベルの振幅の信号を第 1 の電源電圧レベルの信号に変換する回路における電源投入時の貫通電流を抑制することができる。

## 【 0 1 3 3 】

また、第 1 の電源電圧が第 1 の内部電圧を生成し、この内部電圧の電圧レベル

に従って内部電圧投入検出信号を活性化し、かつ第2の電源電圧の投入を検出する回路とを設け、これらの内部電圧投入検出信号と電源投入検出信号とに従って少なくとも一方が活性状態の間活性状態を維持する主電源投入検出信号を生成することにより、正確にこの内部電圧および第2の電源電圧が安定化するまで内部ノードを初期状態にリセットすることができ、第2の電源電圧の振幅を有する信号を内部電圧レベルの信号に変換する回路の貫通電流を抑制することができる。

## 【0134】

また、この主電源投入検出信号を、レベル変換回路へ与えることにより、容易にこのレベル変換回路における電源投入時の貫通電流を抑制することができる。

## 【0135】

主電源電圧投入検出信号をさらにレベル変換して変換投入検出信号を生成し、この変換投入検出信号の振幅と等しい振幅の信号を第2の電源電圧レベルの振幅の信号から生成するレベル変換回路へ与えることにより、正確にこのレベル変換回路における電源投入時の消費電流を提言することができる。

## 【0136】

また、この変換投入検出信号を、レベル変換回路の出力段のバッファ回路に与えることにより、容易にバッファ回路およびレベル変換回路の貫通電流を抑制することができる。

## 【0137】

また、これらの内部電圧として、昇圧電圧または降圧電圧をそれぞれ利用することにより、これらの内部昇圧電圧レベルの振幅を有する信号または降圧電圧レベルの振幅を有する信号を生成する回路の電源投入時の消費電流を抑制することができる。

## 【0138】

また、これらの第1および第2の電源電圧を記憶装置に与え、また第2の電源電圧をロジック回路へ与えることにより、ロジックと記憶装置とが同一半導体チップ上に集積化される半導体集積回路装置において、電源投入シーケンスに関わらず正確に電源投入時の消費電流を抑制することができる。

## 【図面の簡単な説明】

【図 1】 この発明に従う半導体集積回路装置の全体の構成を概略的に示す図である。

【図 2】 この発明に従う半導体集積回路装置における電源投入検出信号の分配を概略的に示す図である。

【図 3】 図 1 に示す主電源投入検出回路の構成の一例を示す図である。

【図 4】 図 3 に示す主電源投入検出回路の動作を示す信号波形図である。

【図 5】 図 3 に示す主電源投入検出回路の動作を示す信号波形図である。

【図 6】 図 2 に示す 2 電圧使用回路の構成の一例を示す図である。

【図 7】 図 2 に示す 2 電圧使用回路の他の構成を示す図である。

【図 8】 この発明の実施の形態 1 における半導体記憶装置の要部の構成を概略的に示す図である。

【図 9】 この発明の実施の形態 2 における半導体集積回路装置の要部の構成を概略的に示す図である。

【図 1 0】 図 9 に示す主電源投入検出回路の動作を示す信号波形図である。

【図 1 1】 この発明の実施の形態 2 の変更例 1 の構成を示す図である。

【図 1 2】 この発明の実施の形態 2 の変更例 2 の構成を示す図である。

【図 1 3】 この発明の実施の形態 2 の変更例 3 の構成を概略的に示す図である。

【図 1 4】 この発明の実施の形態 3 に従う電源投入検出部の構成を概略的に示す図である。

【図 1 5】 この発明の実施の形態 3 の変更例 1 の構成を概略示す図である。

【図 1 6】 従来の半導体記憶装置の構成を概略的に示す図である。

【図 1 7】 この発明が適用される半導体集積回路装置の構成の一例を示す図である。

【図 1 8】 図 1 7 に示す半導体集積回路装置におけるレベル変換回路の構成を示す図である。

【図 1 9】 図 1 7 に示す内部電圧発生回路の電圧発生シーケンスの一例を

示す図である。

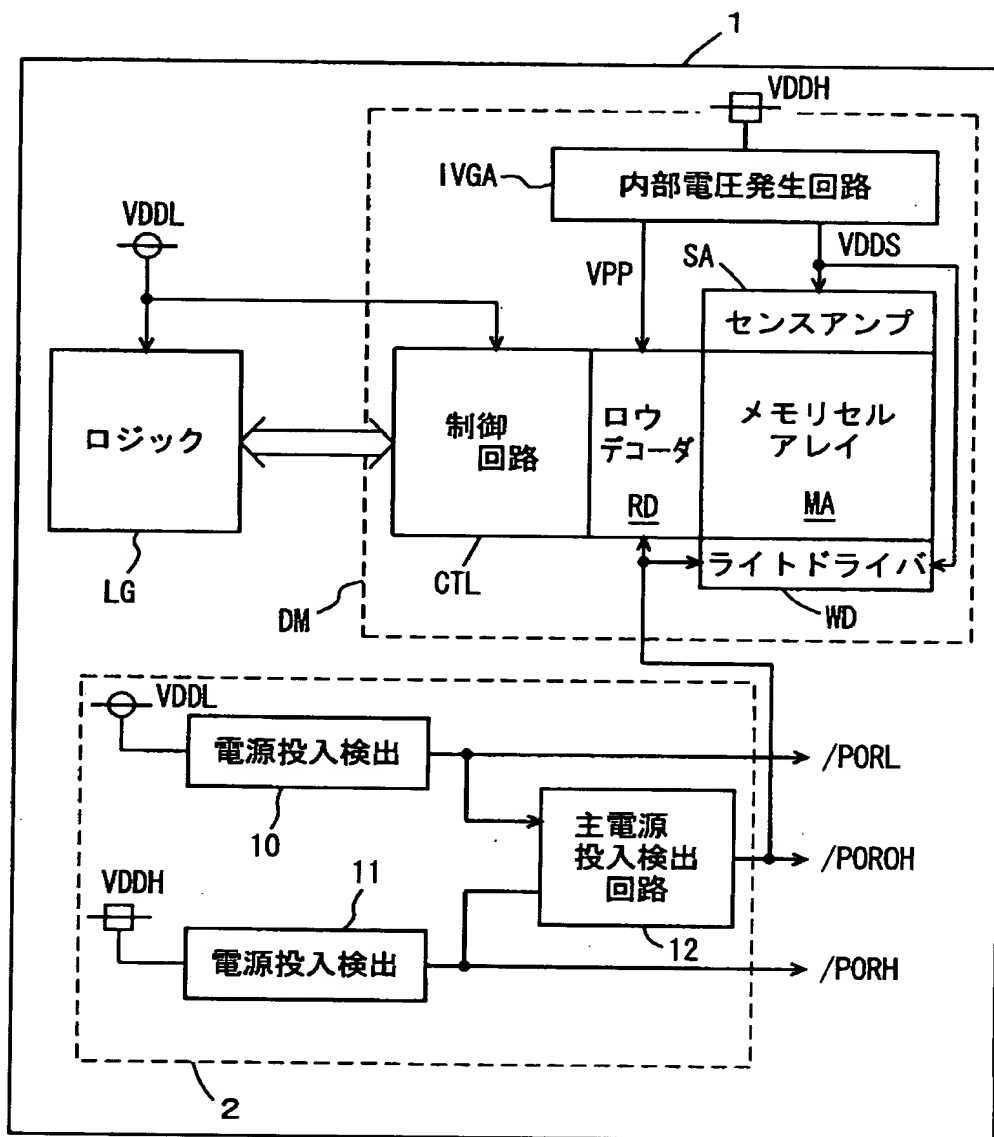
【符号の説明】

1 半導体集積回路装置、DM DRAMマクロ、LG ロジック、IVGA  
内部電圧発生回路、2 電源投入検出器、10, 11 電源投入検出回路、1  
2 主電源投入検出回路、13a VDDL使用回路、13b VDDH使用回  
路、13c 2電圧使用回路、20 メインワード線ドライブ回路、21 サブ  
デコーダ、22 ビット線プリチャージ/イコライズ制御回路、23 ビット線  
分離制御回路、24 センスアンプ制御回路、WDR ライトドライブ回路、2  
5 変換電圧投入検出回路、26a, 26b 内部ドライブ回路、27 レベル  
変換回路、28 バッファ回路、30 変換電圧投入検出回路、32a, 32b  
内部ドライブ回路、33 レベル変換回路、34 バッファ回路、36a, 3  
6b 内部ドライブ回路、38 レベル変換回路、39 バッファ回路、40  
電源投入検出回路、42 昇圧回路、44 高電圧投入検出回路、46 主電源  
投入検出回路、50, 52 レベル変換回路、60 降圧回路、62 内部電源  
投入回路、64 主電源投入検出回路、66, 68 レベル変換回路。

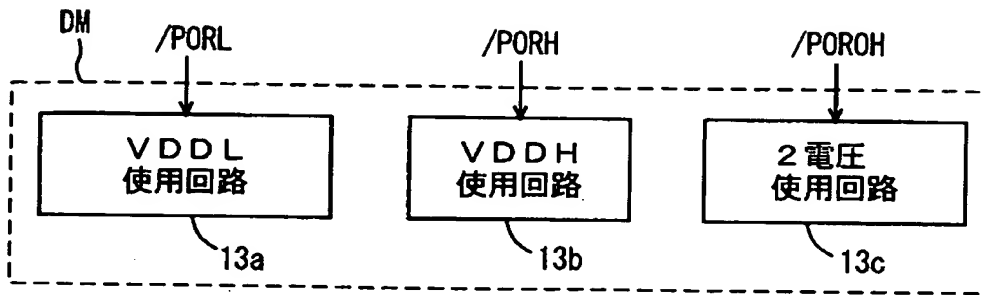


【書類名】 図面

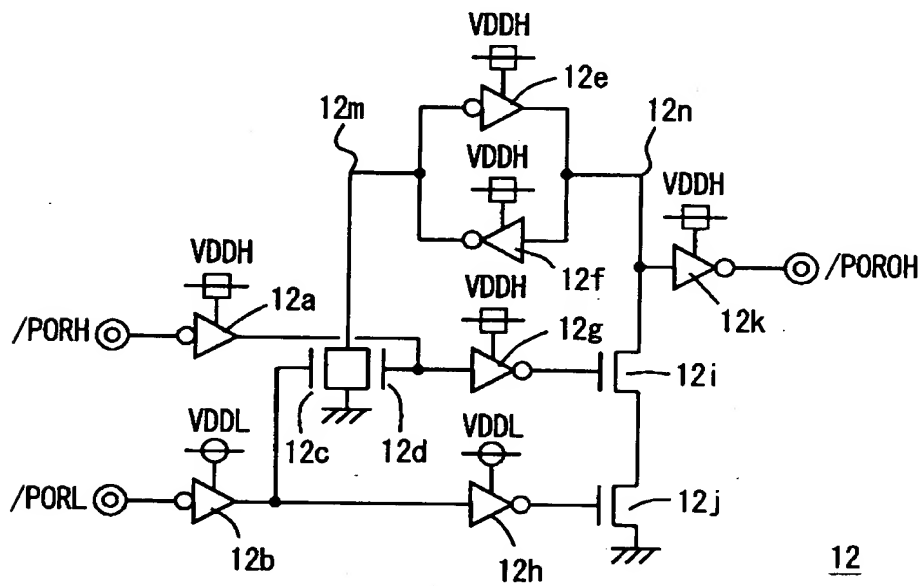
【図 1】



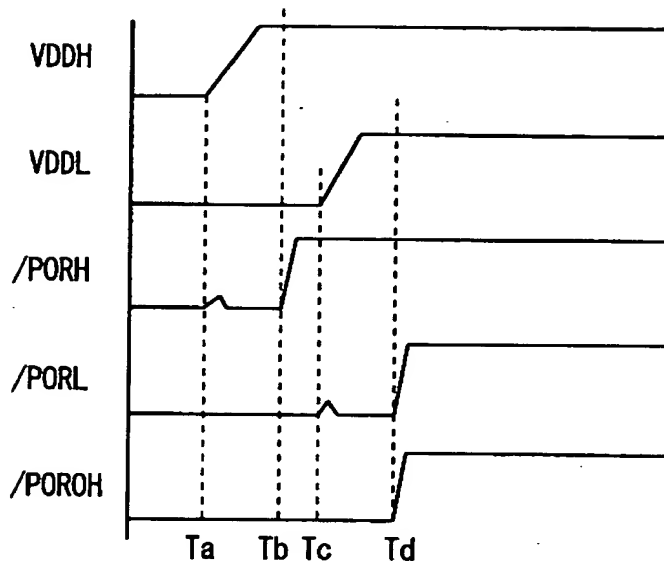
【図 2】



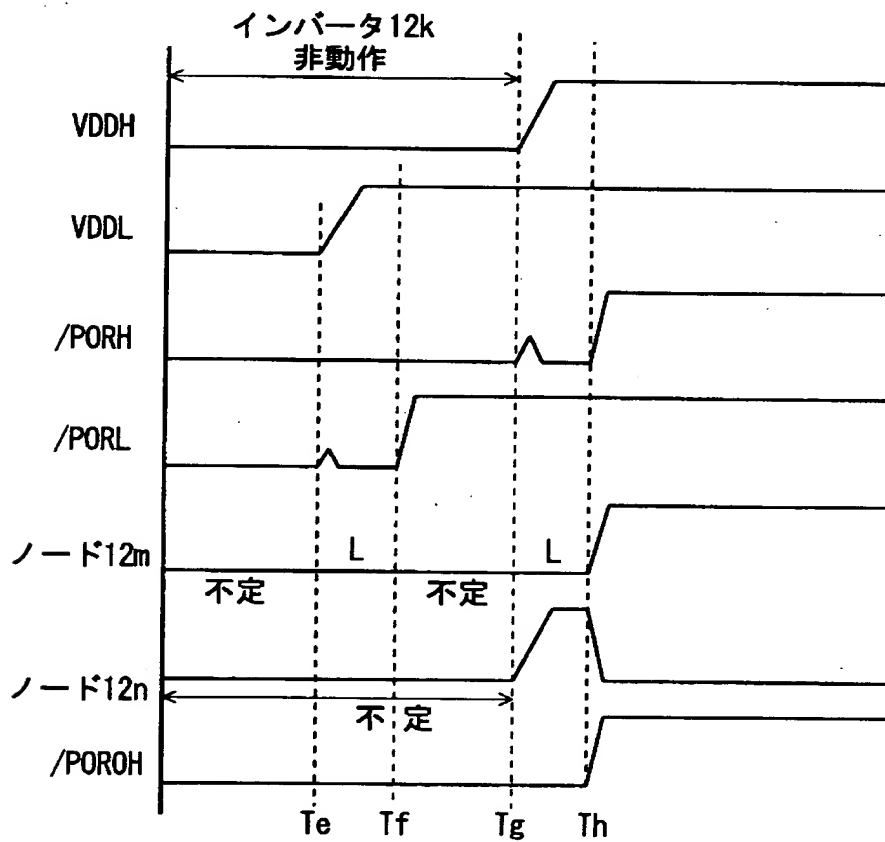
【図 3】



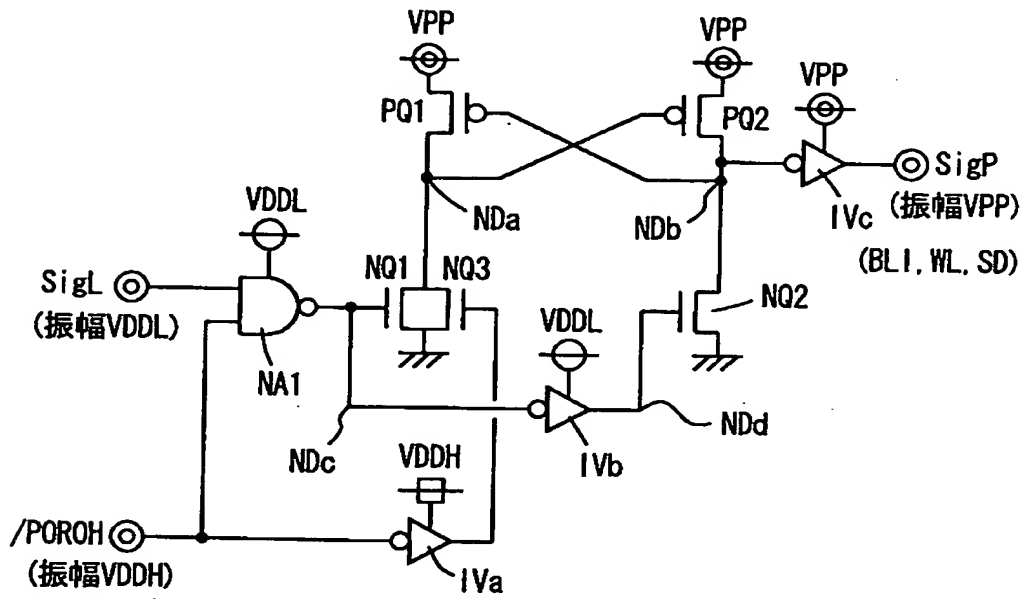
【図 4】



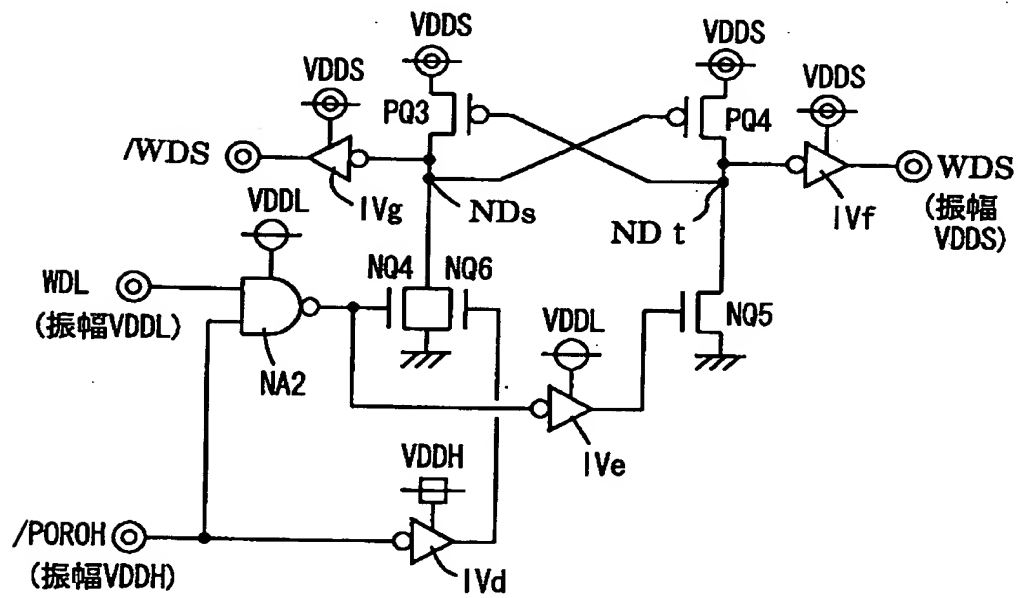
【図 5】



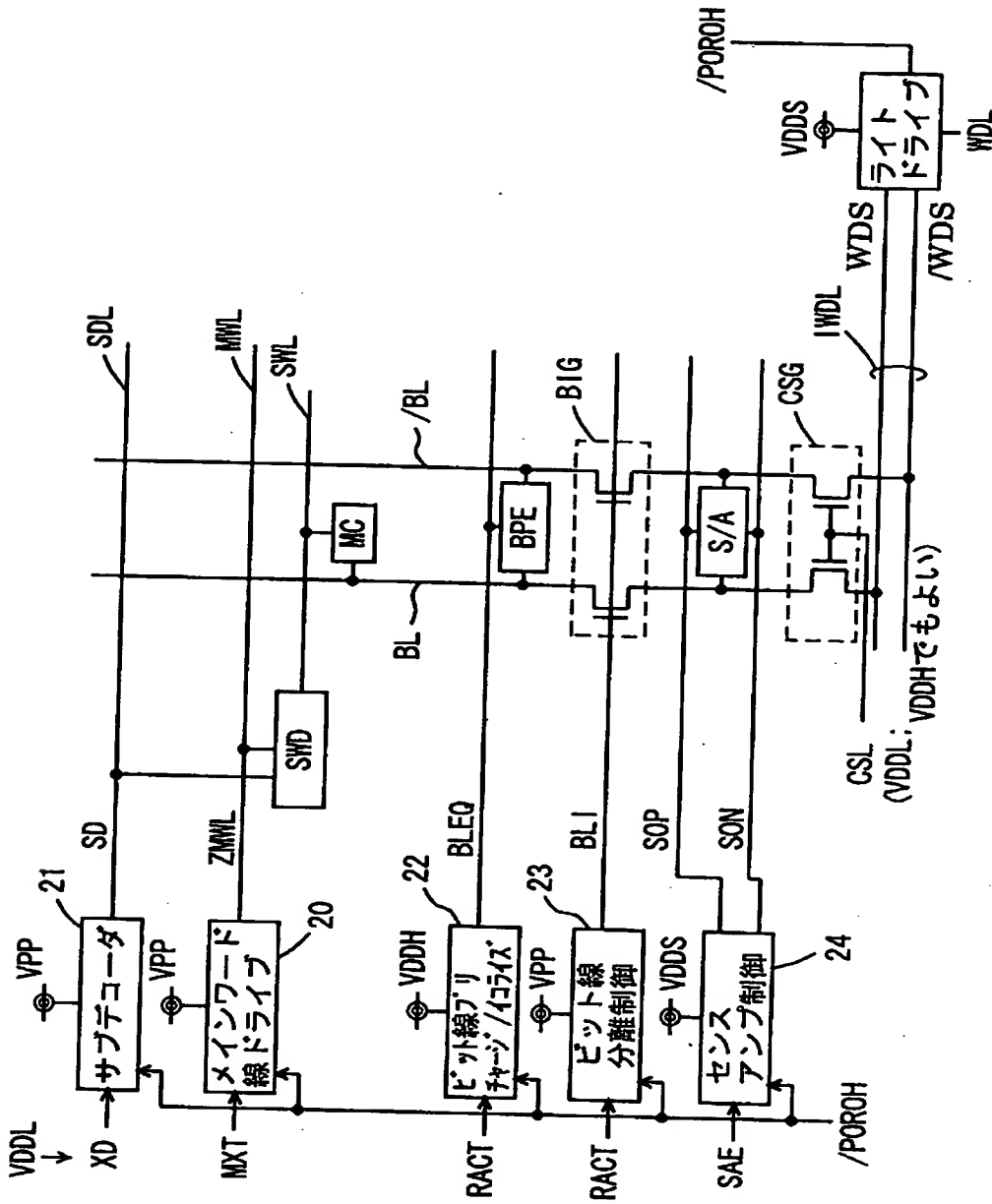
【図 6】



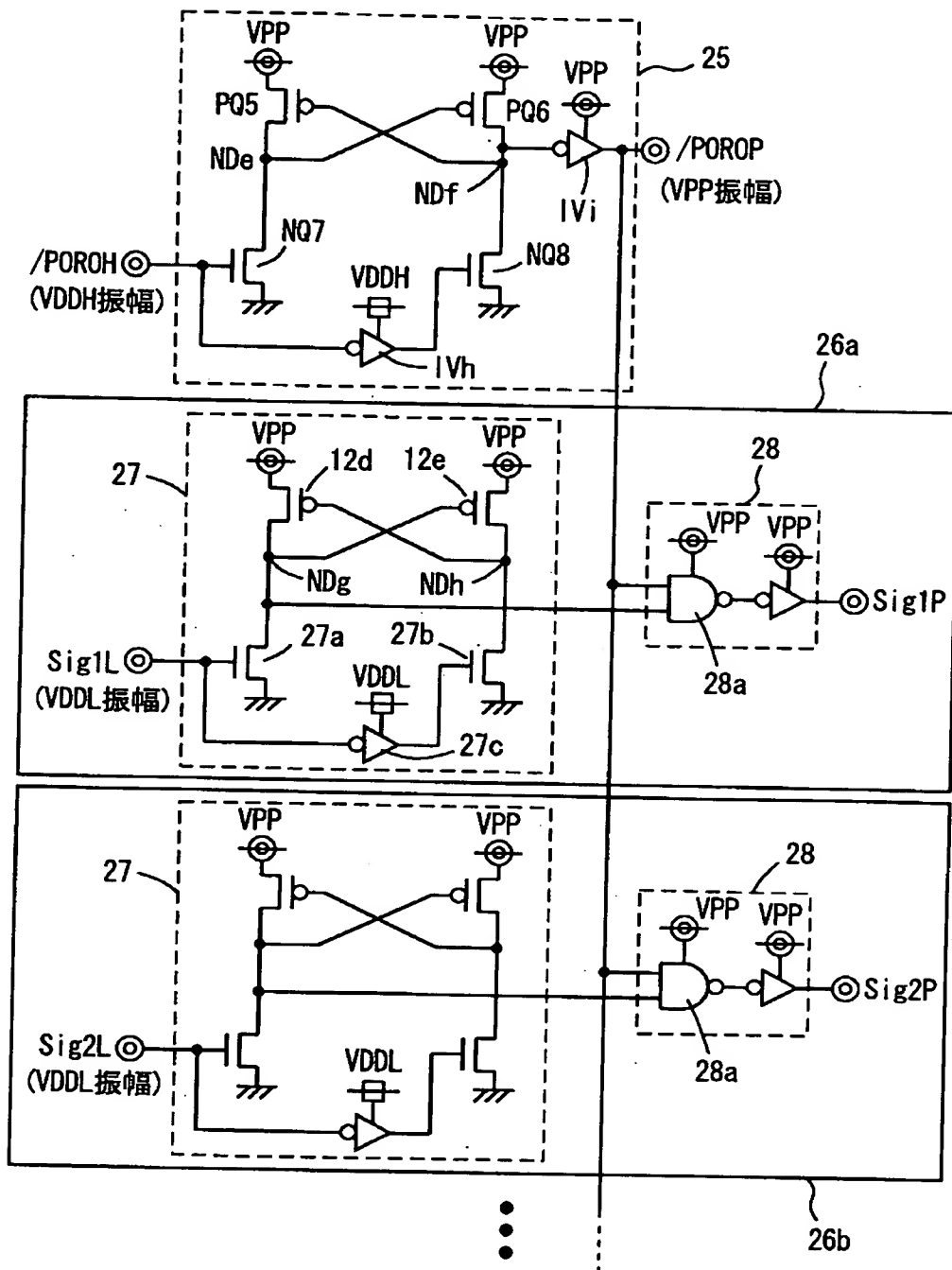
【図 7】



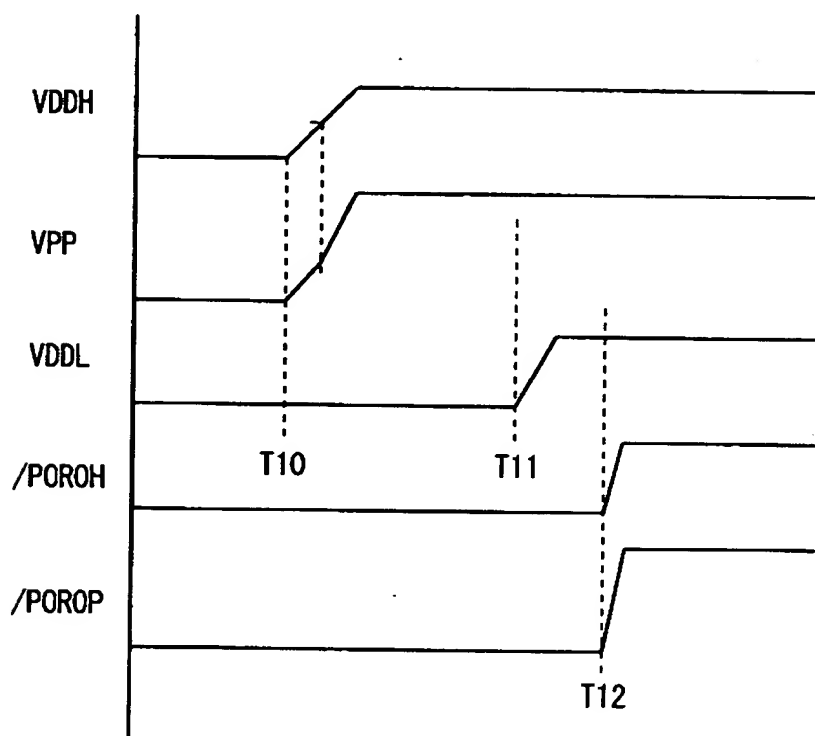
【図 8】



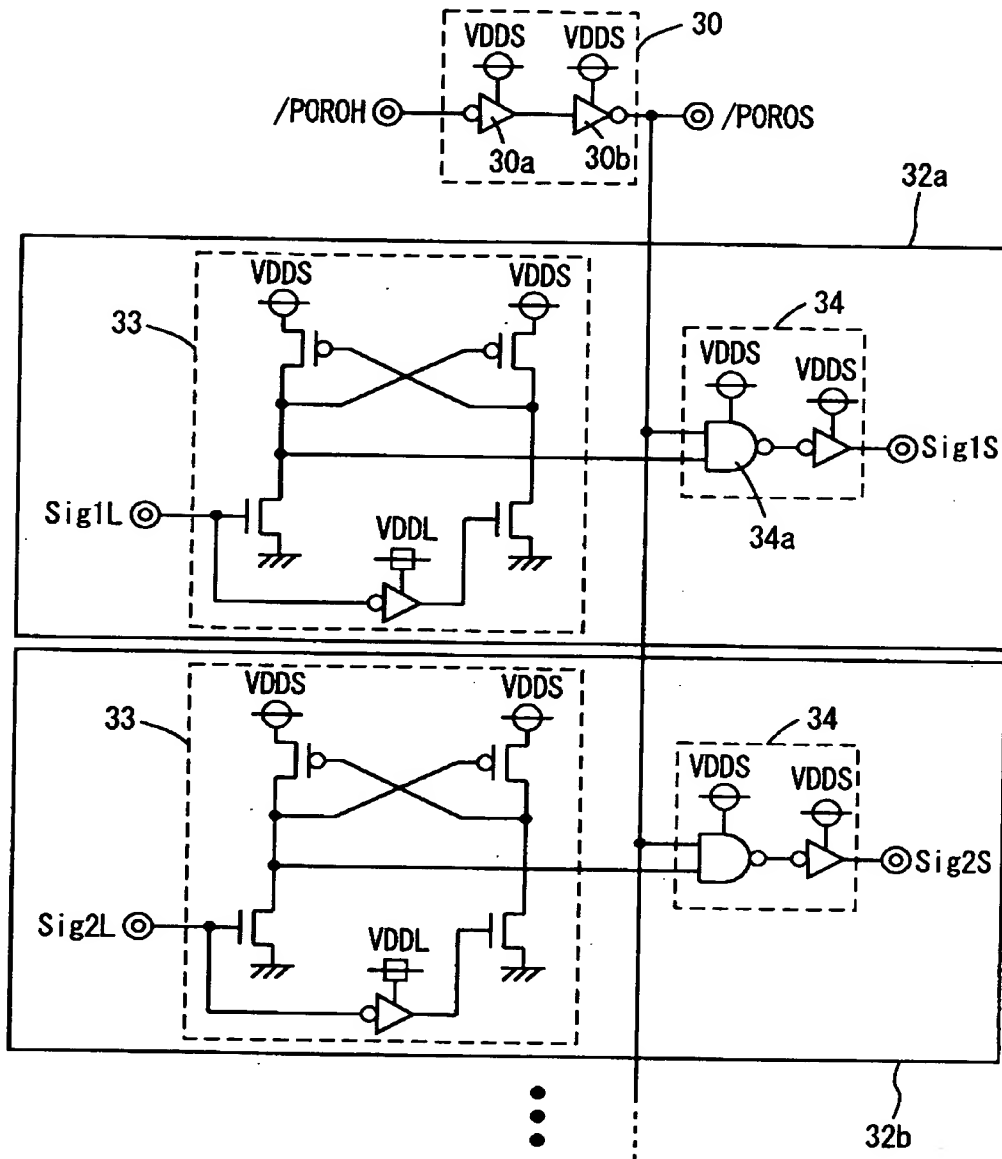
【図 9】



【図 1 0】

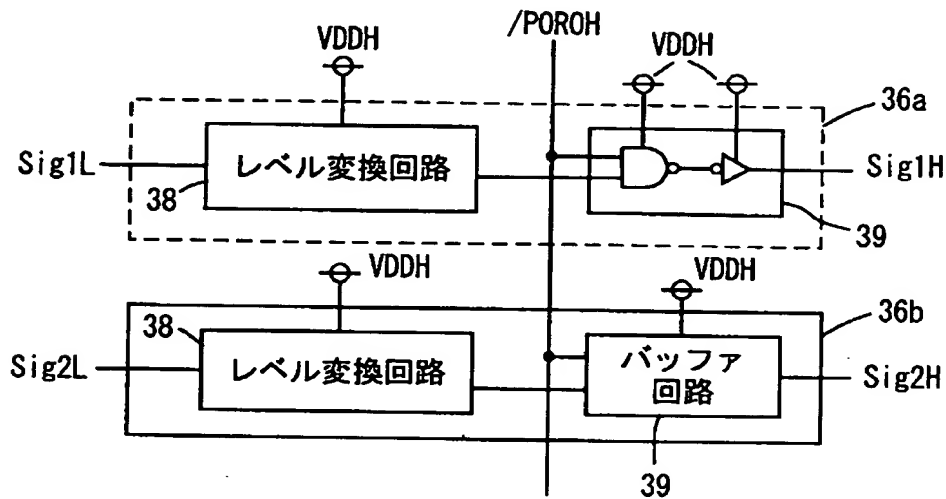


【図 11】

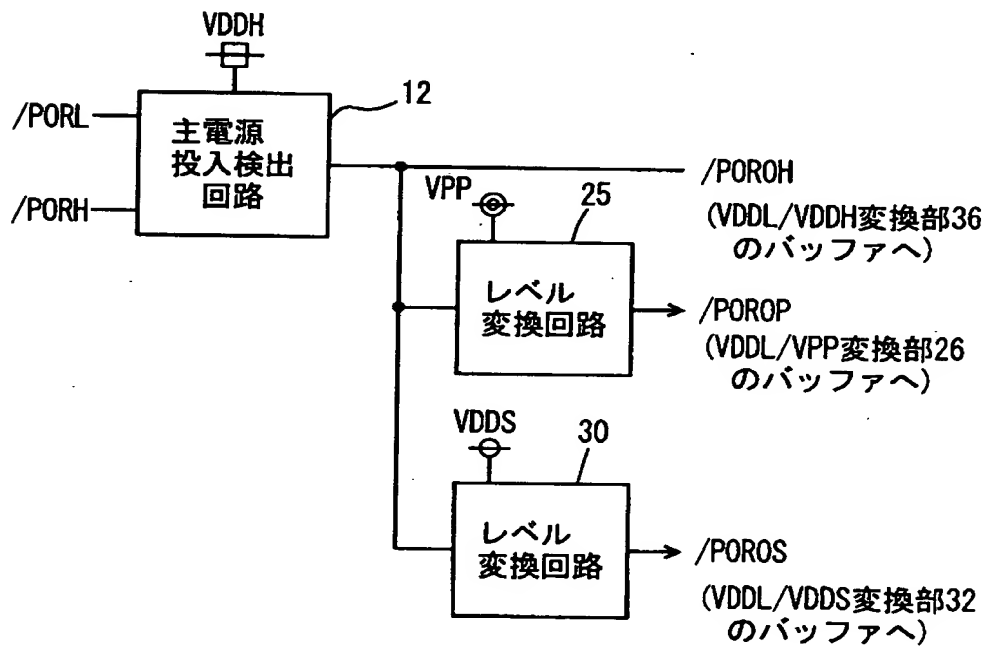




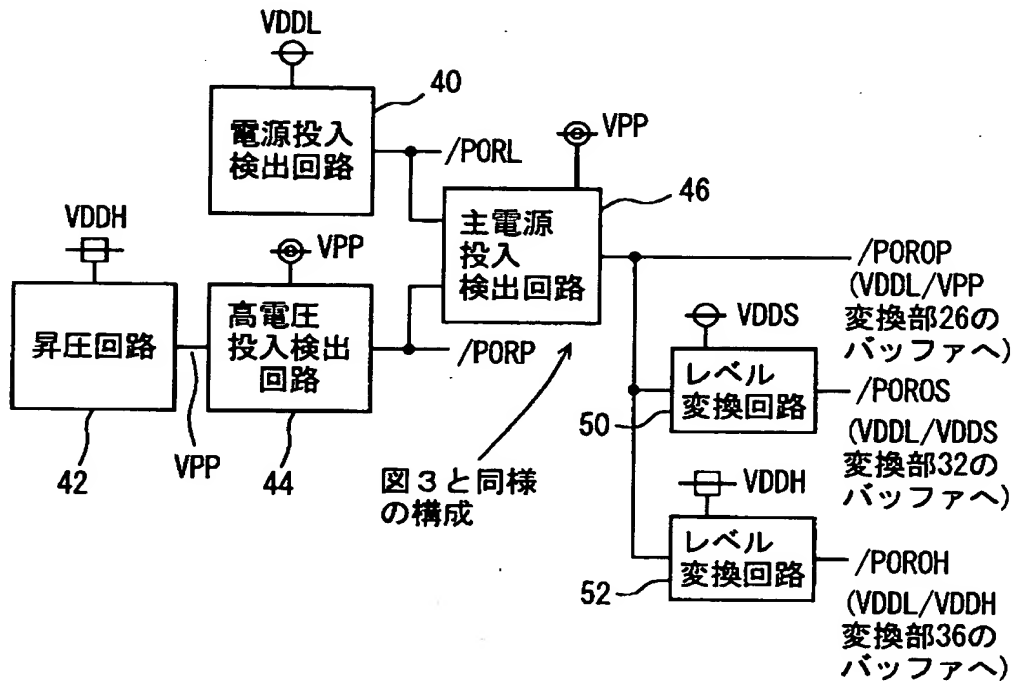
【図 12】



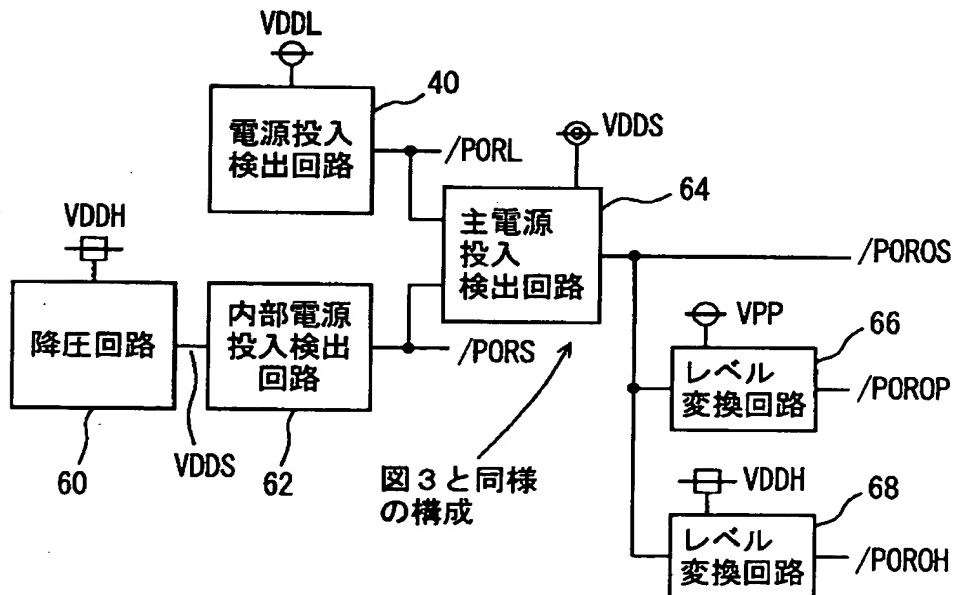
【図 13】



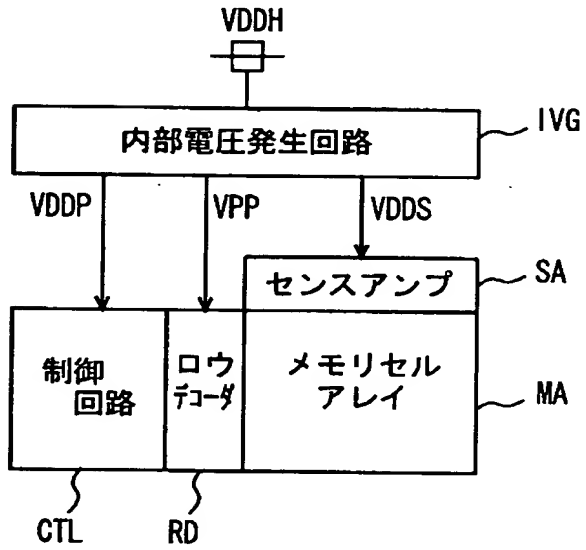
【図 14】



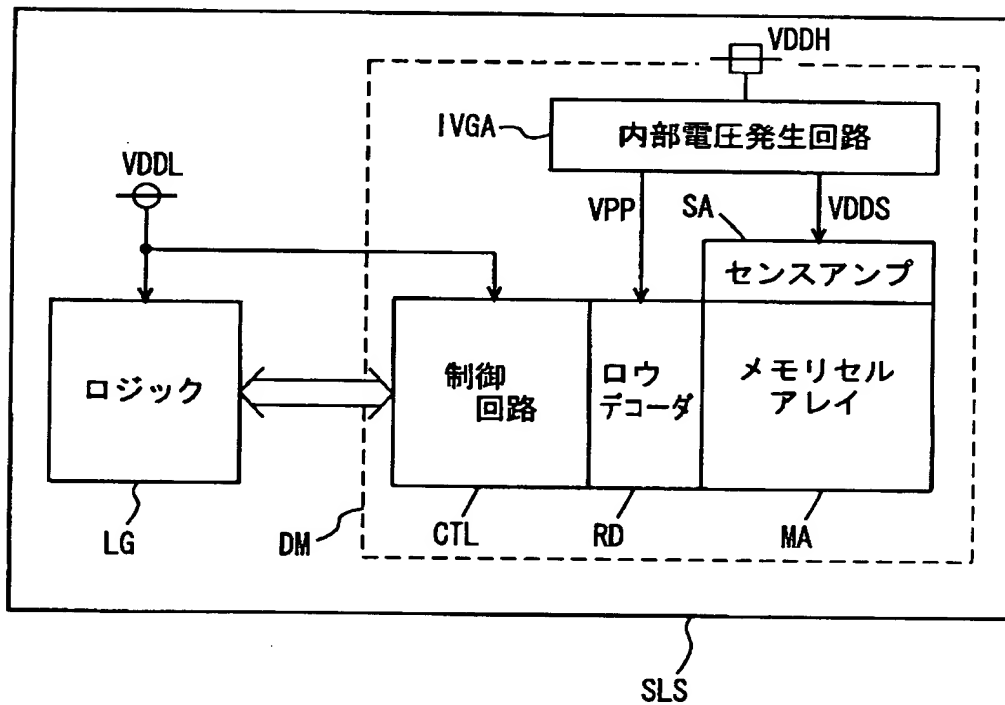
【図 15】



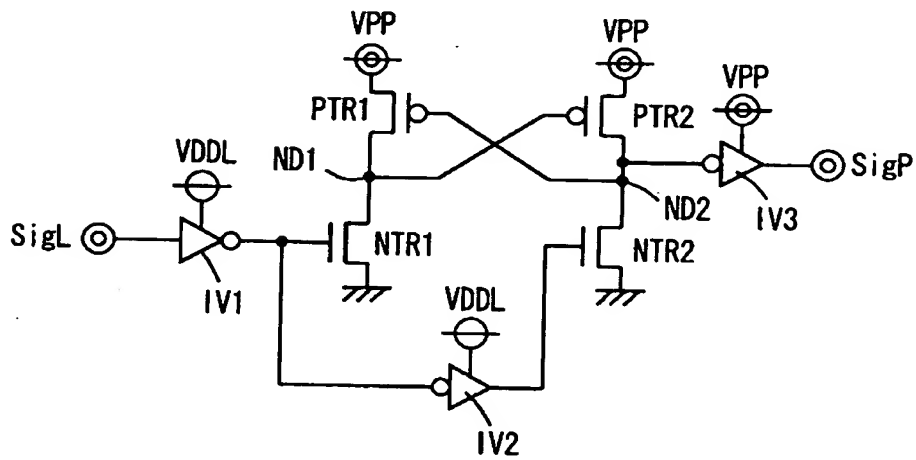
【図 16】



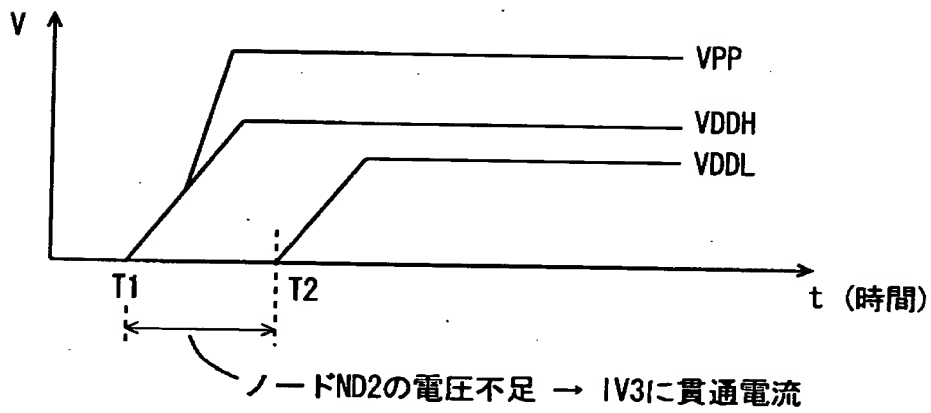
【図 17】



【図 18】



【図 19】



【書類名】            要約書

【要約】

【課題】    多電源構成の半導体集積回路装置において、電源投入時における消費電流を低減する。

【解決手段】    複数の電源電圧（VDDL，VDDH）に対し電源投入検出回路を設け、これらの電源投入検出信号の少なくとも一方が活性状態の間主電源投入検出信号を活性状態に維持して内部ノードをリセットする。

【選択図】            図 1

出 願 人 履 歴 情 報

識別番号

[000006013]

1. 変更年月日

1990年 8月24日

[変更理由]

新規登録

住 所

東京都千代田区丸の内2丁目2番3号

氏 名

三菱電機株式会社

出 願 人 履 歴 情 報

識別番号 [591036457]

1. 変更年月日 1991年 2月26日

[変更理由] 新規登録

住 所 東京都千代田区大手町2丁目6番2号  
氏 名 三菱電機エンジニアリング株式会社